

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 7月31日
Date of Application:

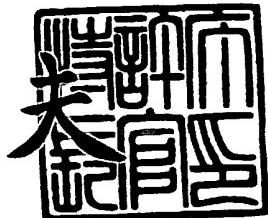
出願番号 特願2003-204301
Application Number:
[ST. 10/C] : [JP2003-204301]

出願人 富士通株式会社
Applicant(s):

2004年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井康



出証番号 出証特2003-3109160

【書類名】 特許願
【整理番号】 0340025
【提出日】 平成15年 7月31日
【あて先】 特許庁長官 殿
【国際特許分類】 G06F 12/14
G06F 12/06
G06F 11/30
G06F 11/00
G06F 15/78
【発明の名称】 動作モード制御回路、動作モード制御回路を含むマイクロコンピュータ及びそのマイクロコンピュータを利用した制御システム
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 高橋 均
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100072590
【弁理士】
【氏名又は名称】 井桁 貞一
【電話番号】 044-754-2462
【手数料の表示】
【予納台帳番号】 011280
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704486

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】

動作モード制御回路、動作モード制御回路を含むマイクロコンピュータ及びその
マイクロコンピュータを利用した制御システム

【特許請求の範囲】

【請求項 1】

制御信号発生部と

初期化後において前記制御信号発生部からの最初の第1の出力信号からに限って
、前記第1の出力信号のバッファ信号を発生する書き抑止回路と、
前記書き抑止回路からの前記バッファ信号に応答して、前記制御信号発生部から
の第2の出力信号を保持する制御回路とを備え、
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出
力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

【請求項 2】

請求項1に記載した動作モード制御回路であつて、

前記書き抑止回路が、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号
のバッファ信号又は固定論理信号を出力するバッファ手段と、
前記制御信号発生部からの前記第1の出力信号により保持し、保持状態を示す状
態信号を出力する保持手段とを備え、

前記バッファ手段が、さらに、前記保持手段からの前記状態信号を受ける入力端
子を有し、前記状態信号が前記保持状態であることを示した場合は、前記固定論
理信号を出力し、前記保持状態を示していない場合は、前記バッファ信号を出力
することを特徴とする動作モード制御回路。

【請求項 3】

制御信号発生部と、

前記制御信号発生部からの第1のデコード信号及び第2のデコード信号を連続し
て受けたときに限って、前記制御信号発生部からの第1の出力信号をバッファし
たバッファ信号を発生する書き抑止回路と、

前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部から
の第2の信号を保持する制御回路とを備え、
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出
力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

【請求項4】

請求項3に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1のデコード信号及び、前記第2のデコード信
号に応じて、第1の選択状態信号及び、第2の選択状態信号を出力するデコーダ
回路と、

前記第1の選択状態信号を一方の入力端子に受ける第1のアンド回路と、

前記第2の選択状態信号を一方の入力端子に受ける第2のアンド回路と、

第3のアンド回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1のアンド回
路の出力信号を保持し、前記第2のアンド回路の他方の入力端子へ、第1のデー
タを出力する第1のフリップフロップ回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第2のアンド回
路の出力信号を保持し、前記第3のアンド回路の一方の入力端子へ、第2のデー
タを出力する第2フリップフロップ回路と、

前記第2のデータを論理的に反転した第3の出力信号を、第1のアンド回路の他
方の入力へ、出力するバッファ回路とを備え、

前記第1のアンド回路は前記第1の選択状態信号と前記第3の出力信号と論理積
し、

前記第2のアンド回路は前記第2の選択状態信号と前記第1のデータと論理積し

前記第3のアンド回路は前記第2のデータと前記第1の出力信号と論理積し、
前記制御回路は、前記第3のアンド回路からの出力信号に応答して、前記制御信
号発生部からの前記第2の出力信号を保持する第3のフリップフロップ回路を備
えたことを特徴とする動作モード制御回路。

【請求項 5】

少なくとも、制御信号発生部と、
前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部から
の第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する
書込抑止回路と
前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、
保持した信号の論理値に応じた制御信号を発生する制御回路とを備え、
前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は
一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第
1の出力信号のバッファ信号であって、
前記制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中
から、外部へ信号を伝える信号発生回路を選択する選択回路へ、供給されること
を特徴とする動作モード制御回路。

【請求項 6】

請求項5に記載した動作モード制御回路であって、
前記書込抑止回路が、
前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号
のバッファ信号又は固定した信号を出力するバッファ手段と、
前記バッファ信号に応答して、前記制御信号発生部からの前記第2の出力信号を
保持し、前記第2の出力信号の論理値に応じた論理信号を出力する保持手段とを
備え、
前記バッファ手段は前記保持手段からの論理信号を受け取り、一方の論理値に応
じて前記固定した信号を出力し、他方の論理値に応じて前記バッファ信号を出力
することを特徴とする動作モード制御回路。

【請求項 7】

少なくとも、請求項5又は請求項6に記載した動作モード制御回路と、
外部との信号の入出力を制御する信号入出力制御回路と、
前記動作モード制御回路からのデータレジスタ書込信号に応答して、前記動作モ
ード制御回路からのデータ信号を保持するデータレジスタ回路と、

1つ以上の一定周期のクロックを発生可能なタイマ回路と、
前記動作モード制御回路からの前記第1の制御信号に応じて、前記データレジス
タ回路又は前記タイマ回路を選択する選択回路とを備え、
前記データレジスタ回路は、前記データ信号に応じた信号を、前記信号入出力制
御回路へ出力することを特徴とするマイクロコンピュータ。

【請求項8】

制御信号発生部と、
初期化プログラム実行後において、所定の初期化ルーチン以前の段階を実行中で
あるときは、前記制御信号発生部からの第1の出力信号をバッファしたバッファ
信号を出力し、それ以外の時は、固定した信号を出力する書込抑止回路と、
前記書込抑止回路からの出力信号に応答して、前記制御信号発生部からの前記第
2の出力信号を保持する制御回路とを備え、
前記制御回路は、保持された前記第2の出力信号に応じて、外部との信号の入出
力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

【請求項9】

少なくとも、請求項1、請求項2、請求項3、請求項4又は請求項8に記載した
動作モード制御回路と、
外部との信号の入出力を制御する前記入出力制御回路と、
前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデ
ータレジスタ書込信号により、保持するデータレジスタ回路とを備え、
前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回
路へ出力することを特徴とするマイクロコンピュータ。

【請求項10】

少なくとも、ウォッチドッグと
請求項7請求項9に記載したマイクロコンピュータとを備え、
前記マイクロコンピュータはさらに、監視信号を前記ウォッチドッグへ出力する
監視信号出力ポートと
前記ウォッチドッグからの第1のリセット信号を受け入れるリセット信号受入ポ
ートと

前記第1のリセット信号応じて、前記マイクロコンピュータの所定の回路への、
第2のリセット信号を発生するリセット回路を有し、
前記入出力制御回路からの出力が前記ウォッチドッグへの前記監視信号であつて

前記ウォッチドッグは前記第1のリセット信号を前記マイクロコンピュータに出
力することを特徴とする制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入出力属性を決定する制御レジスタ及び周辺機能を選択するレジス
タを内蔵し、前記レジスタを動作モード制御回路により誤書き込みを防止するため
に制御したことを特徴とするマイクロコンピュータ及び前記マイクロコンピュー
タとウォッチドッグから構成される制御システムに関する。

【0002】

【従来の技術】

車載用途向けシステム等の人の安全に係わるシステムに対しては、劣悪な環境
下でも、誤動作せず、動作が安定しているといったような、安全性が要求されて
いる。特に、前記システムを制御するマイコン（以下、マイクロコンピュータ、
マイクロコントロールシステム又は半導体制御装置を総称してマイコンという）
に対しては、誤動作防止及び動作の安定性の確保要求は高い。以下に、図11～図
13を用いて、マイコンの誤動作防止等に係わる従来例を説明する。

【0003】

図11に示す車両用LANマイコンシステムは、マイコン602と、マイコンの動
作を監視する外付けのLSIであるウォッチドッグタイマ605と、電源回路603
と、ROM606と、入力I/F回路601と、VCCION/OFF回路607と、VC
CI613と、VCCI614と、低電圧リセット回路608と、通信LSI609と、遅延
回路604と、多入力アンド回路615とから構成されている。

【0004】

上記の車両用LANマイコンシステムでは、マイコン602の動作を監視するウォッ

チドッグタイマ（以下「ウォッチドッグ」という）605を前記システムに搭載し、マイコン602が何らかの外因で、暴走状態となったときに、マイコン602に搭載されている監視信号発生回路からの信号が途絶えることを検出して、マイコンをリセットする仕組みとし、誤動作を防止している。（例えば、特許文献1）

また、図12に示すデータ処理装置は、シングルチップマイクロコンピュータであって、中央処理装置CPU701と、システムコントローラSYSC702と、割込コントローラINT704と、リードオンリーメモリROM705と、ランダムアクセスメモリRAM706と、タイマ708と、シリアルコミュニケーションインターフェースメモリSC707と、第1から第8の入出力ポートIOP8(709)～1(716)、クロック発振器CPG703の機能ブロックから構成されている。

【0005】

そして、上記データ処理装置は、動作モード情報を保持するシステムコントローラSYSC702をシングルチップマイクロコンピュータ内部に有し、初期化動作において、不揮発性記憶装置であるROM705に格納された情報を自動的に読み出し、動作モード情報を保持するシステムコントローラSYSC702へ、ソフトウェアでは制御されないコントロール信号で設定する。さらに、動作モード情報を保持するシステムコントローラSYSC702の動作モード情報は、初期化動作後、通常動作においても、CPU（中央処理装置）701のソフトウェアでは書き換えられない仕組みとすることにより、動作モードを誤って書き換えることを防止している。（例えば、特許文献2）

また、図13に示すマイクロコンピュータは、CPU801と、メモリ802と、プロテクト制御レジスタ804、アドレスデコーダ811～814、論理素子805～810、論理素子827を有するプロテクト制御回路830と、制御レジスタ815を有するクロック発生回路819と、制御レジスタ816を有する周辺ユニットA820と、制御レジスタ817を有する周辺ユニットB821と、制御レジスタ818を有する周辺ユニットC822とから構成されている。

【0006】

そして、上記マイクロコンピュータは前記制御レジスタ815～818に対するデータの書き込みを許可するか、又は禁止するかの情報を制御レジスタ毎に前記プロテ

クト制御レジスタ804が保持し、書き込み動作が発生したときに書き込みの対象となっている前記制御レジスタを特定し、前記プロテクト制御レジスタ804の情報に応じて、前記プロテクト制御回路830が書き込み信号を制御する仕組みとすることによりプログラムの暴走等に起因する制御レジスタに対する誤書き込みを防止している。（例えば、特許文献3）

【0007】

【特許文献1】

特開平5-32142

【0008】

【特許文献2】

特開平8-63445

【0009】

【特許文献3】

特開平8-235073

【0010】

【発明が解決しようとする課題】

従来の車両用LANマイコンシステムは、マイコンシステム内蔵のCPUのソフトウェアに起因する命令により、例えばパラレル出力等の入出力属性や、A/D変換器又は16ビット長インターバルタイマ等の内蔵周辺機能の内、どの内蔵周辺機能からの出力信号をマイコンシステム外部へ出力するかを切り替え可能である。一方、マイコンシステム内蔵のCPUが暴走すると、CPUが自発的に発生している監視信号が途切れるので、監視信号の途切れを検出したマイコンシステム内蔵のウォッチドッグからリセット信号が出て、マイコンシステムの誤動作は防止される。

【0011】

従って、暴走したCPUのソフトウェアにより、マイコンシステム外部に出力される内蔵周辺機能の出力信号に切り替えが起こり、監視信号に換わって、監視信号と相似なタイマ信号が出る場合には、ウォッチドッグは、監視信号の途切れを検出できなくなり、マイコンの暴走状態を止めるリセット信号を発生しない。

【0012】

そうすると、ウォッチドッグによる監視機能を内蔵しながら、マイコンシステムの誤動作が防止されないという問題があった。

【0013】

また、従来のデータ処理装置では、マイコンの誤動作中に、動作モード等が、CPUのソフトウェアにより書き換わることは防止できるが、ソフトウェアでは制御されないコントロール信号により、動作モード情報を保持するレジスタ手段を制御するため、不揮発性記憶装置に格納された情報でしか動作モードを設定できないということになり、融通性、拡張性がなくなるという問題があった。

【0014】

また、従来のマイクロコンピュータでは、動作モードを決定する制御レジスタへの書き込みを許可するか、禁止するかを決定するプロテクト制御レジスタ及び動作モードを決定する制御レジスタを選択するプロテクト制御回路が大規模なハードウェアを必要とする問題があった。さらに、上記のマイクロコンピュータでは、マイクロコンピュータの暴走による動作モードを決定する制御レジスタの書き換えは、プロテクト回路で防止できるが、プロテクト制御レジスタはソフトウェア命令により書き換え可能であるため、まず、プロテクト制御レジスタがマイクロコンピュータの暴走時にソフトウェアで書換られ、その結果、動作モードを決定する制御レジスタが書き換え可能となり、意図しない動作モードに設定されるという問題点があった。

【0015】**【課題を解決するための手段】**

上記課題を解決するため、請求項1に係る動作モード制御回路は、
制御信号発生部と
初期化後において前記制御信号発生部からの最初の第1の出力信号からに限って
、前記第1の出力信号のバッファ信号を発生する書き抑止回路と
前記書き抑止回路からの前記バッファ信号に応答して、前記制御信号発生部から
の第2の出力信号を保持する制御回路とを備え、
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出

力制御回路の動作モードを設定することを特徴とする。

【0016】

請求項1に係る動作モード制御回路によれば、上記制御回路に保持された信号は、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えができるので、マイクロコンピュータが暴走しても、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

なお、請求項2に係る動作モード制御回路も、同様な効果を奏する。

次に、上記課題を解決するため、請求項3に係る動作モード制御回路は、制御信号発生部と、

前記制御信号発生部からの第1のデコード信号及び第2のデコード信号を連続して受けたときに限って、前記制御信号発生部からの第1の出力信号をバッファしてバッファ信号を発生する書込抑止回路と、

前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする。

【0017】

請求項2に係る動作モード制御回路によれば、上記制御回路に保持された信号は、書込抑止回路への指定されたコードによる、連続デコードの確率は低いため、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えの可能性が低くなる結果、マイクロコンピュータが暴走しても、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

【0018】

なお、請求項4も請求項3と同様な効果を奏する。

次に、上記課題を解決するため、請求項5に係る動作モード制御回路は、少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する書込抑止回路と

前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、保持した信号の論理値に応じた制御信号を発生する制御回路とを備え、（周辺選択レジスタ）

前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第1の出力信号のバッファ信号であって、

前記制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中から、外部へ信号を伝える信号発生回路を選択する選択回路へ、供給されることを特徴とする。

【0019】

請求項5に係る動作モード制御回路によれば、マイクロコンピュータ内部で、一つの入出力制御回路に、選択回路を通じて、接続される周辺回路が複数ある場合に、書込抑止回路の作用により、所定の状態に選択回路への選択信号を設定した後は、コンピュータ自身では、その設定を書換えできない為、マイクロコンピュータが暴走しても、前記選択回路の設定は維持される効果がある。

【0020】

なお、請求項6に係る動作モード制御回路も同様な効果を奏する。

次に、上記課題を解決するため、請求項7に係るマイクロコンピュータは、少なくとも、請求項5及び請求項6に記載した動作モード制御回路と、外部との信号の入出力を制御する信号入出力制御回路と、前記動作モード制御回路からのデータレジスタ書込信号に応答して、前記動作モード制御回路からのデータ信号を保持するデータレジスタ回路と、1つ以上の一定周期のクロックを発生可能なタイマ回路と、前記動作モード制御回路からの前記第1の制御信号に応じて、前記データレジスタ回路又は前記タイマ回路を選択する選択回路とを備え、前記データレジスタ回路は、前記データ信号に応じた信号を、前記信号入出力制御回路へ出力することを特徴とする。

【0021】

請求項7に係るマイクロコンピュータには、マイクロコンピュータ内部に入出

力信号を制御するデータレジスタ回路とタイマ回路があった場合に、それらの回路を選択するために、動作モード制御回路から選択回路へ供給される設定値が、書込抑止回路の作用により、マイクロコンピュータ自身では書換えができないという効果がある。従って、マイクロコンピュータが暴走しても、常にデータレジスタ回路の出力が入出力制御回路に接続されるという効果がある。

次に、上記課題を解決するため、請求項8に係る動作モード制御回路は、制御信号発生部と、

初期化プログラム実行後において、所定の初期化ルーチン以前の段階を実行中であるときは、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を出力し、それ以外の時は、固定した信号を出力する書込抑止回路と、前記書込抑止回路からの出力信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に応じて、外部との信号の入出力制御回路の動作モードを設定することを特徴とする。

【0022】

請求項8に係る動作モード制御回路によれば、初期化ルーチン中に上記制御回路に保持された信号は、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えができないので、マイクロコンピュータが暴走しても、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

次に、上記課題を解決するため、請求項9に係るマイクロコンピュータは、少なくとも、請求項1、請求項2、請求項3、請求項4及び請求項8に記載した動作モード制御回路と、

外部との信号の入出力を制御する信号入出力制御回路と、

前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書込信号により、保持するデータレジスタ回路とを備え、前記データレジスタ回路は、前記データ信号に応じた信号を、前記信号入出力制御回路へ出力することを特徴とする。

【0023】

請求項9に係るマイクロコンピュータには、上記制御回路に保持された、信号

入出力制御回路の動作モードを設定する信号は、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えができないので、マイクロコンピュータが暴走しても、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

次に、上記課題を解決するため、請求項10に係る制御システムは少なくとも、ウォッチドッグと
請求項7及び請求項9に記載したマイクロコンピュータとを備え、
前記マイクロコンピュータはさらに、監視信号を前記ウォッチドッグへ出力する
監視信号出力ポートと
前記ウォッチドッグからの第1のリセット信号を受け入れるリセット信号受入ポートと
前記第1のリセット信号応じて、前記マイクロコンピュータの所定の回路への、
第2のリセット信号を発生するリセット回路を有し、
前記入出力制御回路からの出力が前記ウォッチドッグへの前記監視信号であって、
前記ウォッチドッグは前記第1のリセット信号を前記マイクロコンピュータに出力することを特徴とする。

【0024】

請求項10に記載した制御システムによれば、マイクロコンピュータからウォッチドッグへ出力される監視信号が、常にマイクロコンピュータ本体の動作に起因して発生されるので、監視信号の発生の途絶え又は継続は、常にマイクロコンピュータ本体の状態を反映したものとなる効果がある。従って、マクロコンピュータのウォッチドッグによる監視が適正に行われ、マイクロコンピュータの暴走が確実に防止され、制御システム全体の誤動作が防止されるという効果がある。

【0025】

【発明の実施の形態】

以下に書込抑止回路の実施形態と、それを利用したマイコン（以下、マイクロコンピュータ、マイクロコントロールシステム又は半導体制御装置を総称してマイコンという）及び制御システムの実施形態を図1～図10を用いて説明する。

(第1の実施形態)

図1及び図2を用いて、第1の実施形態について、説明する。

【0026】

まず、図1は、書込抑止回路10を含む動作モード制御回路20と、動作モード制御回路20で制御される出力データレジスタ2及び入出力I/O3と、入出力I/O3からの出力信号が出力される端子8を表している。ここで、入出力I/O3は、例えば、出力信号を出力しない動作モードや出力信号を出力する動作モード等を有し、その動作モードが変更可能なものである。一方、出力データレジスタ2は、入出力I/O3から出力される出力データをラッチしておくものである。

【0027】

また、動作モード制御回路20は、ライトパルス生成部1と、ライトパルス生成部1からの最初の入出力制御レジスタ書込信号12を受け、入出力制御レジスタ書込信号12のバッファ信号を出力する書込抑止回路10と、入出力制御レジスタ書込信号12のバッファ信号を受け、データバス14からデータをラッチする入出力制御レジスタ4から構成されている。さらに、ライトパルス生成部1は、出力データレジスタ2へデータバス14を通して出力データを供給し、出力データレジスタ2へ出力データレジスタ書込信号11を供給して前記の出力データをラッチさせる。また、入出力制御レジスタ4のQ端子の出力は、入出力I/O3へ供給され、前記Q端子の出力の論理値に応じて、入出力I/O3の動作モードが決定される。

【0028】

さらに、書込抑止回路10は、入出力制御レジスタ書込信号12を一方の入力端子で受けるアンド回路5と、アンド回路5の出力をデータ取り込み信号とするフリップフロップ(以下「FF」という)6と、FF6の出力を入力に受け、アンド回路5の他方の入力端子へ、出力するバッファ7から構成されている。

【0029】

そして、書込抑止回路10への2回目以降の入出力制御レジスタ書込信号12の入力に対して、書込抑止回路10が、入出力制御レジスタ4への入出力制御レジスタ書込信号12のバッファ信号の伝達を、抑止するので、動作モード制御回路20は、初期化後に、入出力制御レジスタ4にラッチされた最初の動作モード設定値を維

持する。

【0030】

従って、入出力制御レジスタ4にラッチされた最初の動作モード設定値は、入出力I/O3の動作モードを決定するので、ライトパルス生成部1から出力される出力データレジスタ書込信号11を受けて出力データレジスタ2にラッチされたデータバス14からのデータは、最初の入出力制御レジスタ書込信号12で設定され、それ以降、マイコンの暴走によっても変化しない入出力I/O3の動作モードに応じて出力されるという効果がある。

【0031】

なお、上記では、ライトパルス生成部1がパルス信号を発生することを前提としているが、状態が変化する信号であっても、書込抑止回路10が、ライトパルス生成部1からの最初の入出力制御レジスタ書込信号12からに限って、パルス信号を発生することとすれば、入出力制御レジスタ4には、最初の一回の書き込みしか行われず、動作モード制御回路20は同様に初期化後の最初の動作モード設定値を維持することができる。

【0032】

ここで、書込抑止回路10の動作を明確にするため、図2を用いて、以下に説明する。

【0033】

まず、リセット信号15がR端子に入力されることにより、FF6はリセットされ、FF6はQ端子から“0”を出力する。ここで、リセット信号15は動作モード制御回路20を含むシステム又はマイクロコンピュータの全体回路をリセットする信号をいう。その結果、バッファ7は“1”を出力し、アンド回路5は一方の端子でバッファ7の出力信号“1”を受け、アンド回路5は他方の端子からの信号を通過させる状態となる。

【0034】

次に、パルス信号である入出力制御レジスタ書込信号12がアンド回路5の他方の端子に入力され、アンド回路5の出力からFF6のCK端子にパルス信号が伝えられると、D端子には常にVCC電源9、すなわち、論理値“1”的信号が入

力されているので、FF6はQ端子から“1”を出力する。一方で、アンド回路5の出力は書込抑止信号10として入出力制御レジスタにも伝えられ、データバス14からデータを取り込み、データをラッチする。

【0035】

次にFF6のQ端子の出力“1”は、バッファ7に入力され、バッファ7の出力は“0”に反転する。前記バッファ7の出力はアンド回路5の一方の端子に入力され、2回目の入出力制御レジスタ書込信号12をブロックする。この段階で、バッファ7、アンド回路5、FF6の出力状態は、次のリセット信号15がくるまで維持されるので、2回目以降の入出力制御レジスタ書込信号12は、入出力制御レジスタ4に対して、何の作用もしなくなる。

【0036】

つまり、入出力制御レジスタ書込信号に対応して書込抑止回路10は、パルス信号を発生するが、入出力制御レジスタ書込信号12によりFF6及びバッファ7の出力がラッチされるので、次の書込抑止回路10のパルス発生は抑止されることとなる。

【0037】

図1の第1の実施形態に係る書込抑止回路10及び動作モード制御回路20によれば、前記書込抑止回路10により入出力制御レジスタ4は、一回目の入出力制御レジスタ書込信号により設定された設定値を、マイクロコンピュータの暴走があつても維持するので、動作モードが意図しないソフトウェア命令によって変更されない効果がある。

【0038】

なお、上記では、入出力I/Oに関する動作モードの設定を行ったが、入出力制御レジスタ4を動作モード制御レジスタと、入出力制御レジスタ書込信号12を動作モード制御レジスタ書込信号とすれば、動作モード制御回路20及び書込抑止回路10は、一般的な動作モードを制御することもでき、上記と同様な効果を奏する。

(第2の実施形態)

図3及び図4を用いて、第2の実施形態について説明する。

【0039】

まず、図3は、書込抑止回路120を含む動作モード制御回路130と、動作モード制御回路130で制御される出力データレジスタ102及び入出力I/O103と、入出力I/O103からの出力信号が出力される端子113を表している。ここで、出力データレジスタ102及び入出力I/O103は、図1の第1の実施形態で対応する出力データレジスタ2及び入出力I/O3と同様な機能を有する。

【0040】

一方、図1の第1の実施形態では、書込抑止回路10が、初期化後の一回に限つて入出力レジスタ4への、入出力I/O3の動作モード設定値の書込を許可するのに対し、第3図の第2の実施形態では、書込抑止回路120は、書込抑止回路120へ、ライトパルス生成部101からの2以上の連続デコードがあったときに、入力レジスタ104への、入出力I/O3の動作モードの設定値の書込みを許可する点で相違する。

【0041】

また、動作モード制御回路130は、ライトパルス生成部101と、前記ライトパルス生成部101からの入出力制御レジスタ書込信号122を受けてパルス信号を発生する書込抑止回路120と、前記書込抑止回路120からのパルス信号を受けてデータバス124からのデータをラッチする入出力制御レジスタ104とから構成されている。さらに、ライトパルス生成部101は、出力データレジスタ102へデータバス124を通して出力データを供給し、出力データレジスタ102へ出力データレジスタ書込信号121を供給して前記の出力データをラッチさせる。また、入出力制御レジスタ104のQ端子の出力は、入出力I/O103へ供給され、前記Q端子の出力の論理値に応じて、入出力I/O103の動作モードが決定される。

【0042】

さらに、書込抑止回路120は、データバス124からデータ“55”又はデータ“AA”を受けた場合に、それぞれのデータに対応したデコード信号を発生するデコーダ105と、データ“AA”に対応するデコード信号を一方の入力として受けアンド回路106と、アンド回路106の出力を入出力制御レジスタ書込信号122にするアンド回路107と、アンド回路106の出力をアンド回路107の入力として受け取り込むフリップフロップ（以下「FF」という）107と、FF107の出力及びデータバス124へ出力するデータレジスタ102とから構成される。

ータ “55” に対応するデコード信号とを入力として受けるアンド回路108と、アンド回路108の出力を入出力制御レジスタ書込信号122により取り込むFF109と、FF109の出力を入力として受け、アンド回路106の一方の入力へ、出力すると、FF109の出力である書込抑止信号123が一方の端子より入力され、バッファ110と、FF109の出力である書込信号122が他方の端子より入力され、入出力制御レジスタ書込信号122が他方の端子より入力されるアンド回路111とから構成されている。

【0043】

そして、データ “55” 及びデータ “AA” により連続してデコードされるごとに、ライトパルス生成部101からの入出力制御レジスタ書込信号122を受け、アンド回路111へ通過許可信号として書込抑止信号123が発生され、アンド回路111が入出力制御レジスタ書込信号122をバッファした信号を出力するため入出力制御レジスタ104において入出力 I/O103の動作モードに対応する値が設定される。

【0044】

一方、データ “55” 及びデータ “AA” によるデコードが終了すると、書込抑止回路120が、入出力制御レジスタ書込信号122を受けたときに、アンド回路111へ通過禁止信号として書込抑止信号123が発生され、入出力制御レジスタ書込信号122が入出力制御レジスタ104へ伝えられるのを抑止する。その結果、動作モード制御回路130は初期化後の最初の動作モード設定値を維持することができる。

【0045】

なお、上記では、入出力制御レジスタ書込信号122がパルス信号であることを前提としているが、複数のデコード信号（ここでは、データ “55” 及びデータ “AA”）が連続して入力されたときに限って、ライトパルス発生部101から出力された入出力制御レジスタ書込信号122から、書込抑止回路120がパルス信号を発生することとしても、入出力制御レジスタ104に、動作モードの書込が行われるため、動作モード制御回路130は同様に動作モード設定値を維持することができる。

【0046】

従って、ライトパルス生成部101から出力された出力データレジスタ書込信号1

21を受けて、出力データレジスタ102にラッチされたデータは、書込抑止回路120が連続デコードし、入出力制御レジスタ書込信号122によって設定された動作モードに応じて入出力I／O103から出力されるという効果がある。

【0047】

また、マイクロコンピュータが暴走しても特定のデータによる連続デコードが起こる確率は低いため、入出力制御レジスタ書込信号122によって設定された動作モードは、マイクロコンピュータの暴走によっても変更されないという効果もある。

【0048】

ここで、書込抑止回路120の動作を明確化するため、図4を用いて、以下に説明する。

【0049】

まず、リセット信号112で、FF107及びFF109をリセットし、各々のFFの出力端子Qからの出力を“0”とする。次に、データ“AA”に応じて、デコーダ105は前記データ“AA”に対応する信号“1”を発生する。次に、アンド回路106はバッファ110の出力信号“1”及びデータ“AA”に対応する信号“1”を受け、アンド回路106は信号“1”を出力する。次にFF107は、アンド回路106の出力“1”を、パルス信号である入出力制御レジスタ書込信号122を受けてラッチし、Q端子より“1”を出力する。

【0050】

次に、データ“AA”によるデコードを取りやめ、デコーダ105がデータ“55”によるデコードを受けると、アンド回路108は、FF107からの出力“1”及びデータ“55”に対応する信号“1”を受けて、信号“1”を出力する。次にFF109は、アンド回路108の出力“1”を入出力制御レジスタ書込信号122により取り込み、書込抑止信号123として“1”を出力する。その結果、アンド回路111は入出力制御レジスタ104へ入出力制御レジスタ書込信号122をバッファして出力し、入出力制御レジスタ104はデータバス124からのデータをラッチする。

【0051】

その後、データ“55”デコードも止めると、デコーダ105からは、“0”信

号が出力され、この状態で入出力制御レジスタ書込信号122がライトパルス生成部101から出力されると、FF109からは、書込抑止信号123として“0”信号が書出力される。その結果、アンド回路111の一方の入力端子には、“0”信号の書込抑止信号123が入力されているため、アンド回路111が入出力制御レジスタ書込信号122をバッファして出力するのを抑止する。

【0052】

すなわち、書込抑止回路120が異なるデコード信号で、連続デコードを受けたときのみ、書込抑止回路120は入出力制御レジスタ書込信号122をバッファして入出力制御レジスタ104に出力するが、デコードされないと、又は、連続デコードがされないと、入出力制御レジスタ書込信号122をバッファして入出力制御レジスタ104に出力しない。

【0053】

図3の第2の実施形態に係わる書込抑止回路120及び動作モード制御回路130によれば、マイクロコンピュータの暴走があっても、連続して“55”と“AA”データを出力する確率は低いので、連続デコード時に設定した入出力I/Oの動作モードは維持される。従って、意図しないソフトウェア命令によって、動作モードが変更されないという効果がある。

【0054】

なお、上記では、入出力I/Oに関する動作モードの設定を行ったが、入出力制御レジスタ104を動作モード制御レジスタと、入出力制御レジスタ書込信号122を動作モード制御レジスタ書込信号とすれば、動作モード制御回路130及び書込抑止回路120は、一般的な動作モードを制御することもでき、上記と同様な効果を奏する。

(第3の実施形態)

図5及び図6を用いて、第3の実施形態について説明する。

【0055】

まず、図5は、書込抑止回路220を含む動作モード制御回路230と、動作モード制御回路230で制御される出力データレジスタ204及び入出力I/O205と、セレクタ203と、入出力I/O205からの出力信号が出力される端子212と、タイマ回

路を表している。ここで、タイマ202は一定周期のクロック信号を出力するものである。また、セレクタ203はタイマ202からの出力信号、又は、出力データレジスタ204からの出力信号かを選択する回路であり、論理値“1”を設定するとタイマ202からの出力信号を選択し、論理値“0”を設定すると出力データレジスタ204からの出力信号を選択するものである。さらに、出力データレジスタ204はライトパルス生成回路201からの出力データを、データバス221を通して受け取り、ラッチする回路である。

【0056】

図1の第1の実施形態では、書込抑止回路10が、初期化後の一回に限って入出力レジスタ4への、入出力I/O3の動作モード設定値の書き込みを許可するのに対し、図5の第3の実施形態では、書込抑止回路220が、初期化後、所定のデータ信号を書込抑止回路220へ送り、それがラッチされるまでの期間のみ、セレクタ203で使用される周辺選択レジスタ207の選択設定値の書き込みを許可する点で異なる。

【0057】

また、動作モード制御回路230は、ライトパルス生成部201と、前記ライトパルス生成部201からの周辺選択レジスタ書込信号223を受け、書込抑止信号224を発生する書込抑止回路220と、前記ライトパルス生成部201からの入出力制御レジスタ書込信号222を受け、データバス221上のデータをラッチする入出力制御レジスタ208と、前記書込抑止回路220からの書込抑止信号224を受け、データバス221上のデータをラッチする周辺選択レジスタ207と、入出力制御レジスタ208のQ端子からの出力及び周辺選択レジスタ207のQ端子からの出力を入力端子で受け、論理和をとるオア206とから構成されている。

【0058】

そして、周辺選択レジスタ207のQ端子からの出力はセレクタ203に供給され、選択信号として働く。ここで、上記選択信号が“1”的場合は、タイマ202からの信号を選択し、オア206からも上記選択信号の論理値と同等な論理値が出力されるため、入出力I/O205は論理値“1”に対応した動作モードで動作する。一方、上記選択信号が“0”的場合は、出力レジスタ204からの信号を選択する

が、オア206からは、入出力制御レジスタのQ端子からの出力と同様な論理信号が
出力され、入出力 I/O 205は入出力制御レジスタのQ端子からの出力に応じた動
作モードで動作する。

【0059】

書込抑止回路220は、データバス221からのデータを受け取るバッファ210と、
バッファ210の出力をライトパルス生成部201からの周辺選択レジスタ書込信号22
3によりラッチするフリップフロップ（以下「FF」という）209と、ライトパルス
生成部201からの周辺選択レジスタ書込信号223及びFF209からの出力信号を入力
として受けるアンド回路211とから構成されている。ここで、データバス221は少
なくとも、出力データレジスタ204向けの信号、周辺選択レジスタ207向けの信号
、入出力制御レジスタ208向けの信号、FF209向けの信号を含むデータバスである
。

【0060】

そして、リセット信号213をR端子に入力することにより、書込抑止回路220のF
F209のXQ端子が“1”に設定されてから、データバス221のFF209向けの信号に“
0”が設定され、前記データバス221のFF209向けの信号に設定された“0”を周
辺選択レジスタ書込信号223でFF209がラッチした結果、FF209のXQ端子が“0”
に変化するときまでの間（以下「アンド回路211開放期間」という）、アンド回路2
11は周辺選択レジスタ書込信号223をそのまま書込抑止信号224として出力する。
11は周辺選択レジスタ書込信号223をそのまま書込抑止信号224として出力する。
言い換えれば、リセット信号により書込抑止回路220のFF209のXQ端子が“1”に
設定された後、データバス221のFF209向けの信号に“1”信号が設定されている
間は、周辺選択レジスタ書込信号223が発生する度に、周辺選択レジスタ207は書
込抑止信号224によりデータバス221の周辺選択レジスタ207向けの信号をラッチ
する効果がある。一方、上記アンド回路211開放期間以外は、FF209のXQ端子に“
0”が設定される結果、アンド回路211の出力信号である書込抑止信号224は論理
値“0”的固定信号となり、周辺選択レジスタ207のラッチを抑止する効果があ
る。

【0061】

ここで、書込抑止回路220の動作を明確にするため、図6を用いて、以下に説

明する。

[0062]

最初にリセット信号213をR端子に入力することで、FF209をリセットし、FF209のXQ端子を”1”に設定する。次にライトパルス生成部201からの周辺選択レジスタ書込信号223を発生させると、アンド回路211は周辺選択レジスタ書込信号223をそのまま書込抑止信号224として出力し、FF209は書込抑止信号224を受け、データバス221のFF209向けの信号をラッチする。

[0063]

このとき、データバス221のFF209向けのデータ信号を“1”に設定している場合は、FF209のXQ端子は“1”を維持する。従って、アンド回路211は、次の周辺選択レジスタ書込信号223も、書込抑止信号224として通過させる。

[0064]

しかし、データバス221のFF209向けのデータ信号を“0”に設定した場合には、FF209のXQ端子は“0”に変化する。その結果、アンド回路211は書込抑止信号として、固定された“0”信号を出力するので、周辺選択レジスタ207及びFF209への書き込みは抑止される。

【0065】

また、FF209のX Q端子の出力が“0”の状態では、アンド回路211の出力が“0”に維持されるため、FF209をリセット信号213でリセットしない限り、周辺選択レジスタ207及びFF209への書き込みの抑止状態は維持される。

[0066]

なお、上記では、周辺選択レジスタ書込信号223がパルス信号であることを前提としたが、周辺選択レジスタ書込信号223が状態変化信号であっても、書込抑止回路220が、ライトパルス発生部201からの周辺選択レジスタ書込信号223を受けて、パルス信号を発生することとすれば同様な効果を奏する。また、パルス信号の発生のためには、書込抑止回路220中のアンド回路211の直後に、状態変化信号を受けてパルスを発生する回路が含まれることが望ましい。

【0067】

従って、動作モード制御回路230は、周辺選択レジスタ207の設定値をセレクタ

203への出力とし、入出力制御レジスタ書込信号224で設定した入出力制御レジスタ208の設定値を入出力 I/O 205への出力とするが、書込抑止回路220が周辺選択レジスタ207への書込信号を抑止した後は、上記の出力は固定されるという効果がある。

【0068】

その結果、周辺選択レジスタ207の出力が“0”であった場合には、セレクタ203はタイマ202からの出力ではなく、出力データレジスタ204の出力を、入出力制御レジスタ208の設定値に従って設定された動作モードに応じて入出力 I/O 205より出力されるという効果がある。

【0069】

また、周辺選択レジスタ207の設定値は、アンド回路211の出力が“0”に固定されているため、マイコンの暴走によっても、維持されるので、常にタイマ202からの出力は出力されず、出力データレジスタ213の出力が出力されるという効果がある。

【0070】

なお、上記では、入出力 I/O に関する動作モードの設定を例に説明を行ったが、入出力制御レジスタ208を動作モード制御レジスタと、入出力制御レジスタ書込信号222を動作モード制御レジスタ書込信号とすれば、動作モード制御回路230及び書込抑止回路220は、一般的な動作モードを制御することもでき、上記と同様な効果を奏する。

(第4の実施形態)

図7及び図8を用いて、第4の実施形態について説明する。

【0071】

まず、図7は書込抑止回路310を含む動作モード制御回路320と、動作モード制御回路320で制御される出力データレジスタ302及び入出力 I/O 304と、入出力 I/O 304からの出力信号が出力される端子309を表している。ここで、出力データレジスタ302及び入出力 I/O 304は、図1の第1の実施形態で対応する出力データレジスタ2及び入出力 I/O 3と同様な機能を有する。

【0072】

一方、図1の第1の実施形態では、書き抑止回路10が、初期化後の一回に限つて入出力レジスタ4への、入出力I/O3の動作モード設定値の書きを許可するのに対し、第7図の第4の実施形態では、書き抑止回路310が、初期化ルーチンにおける実行状態において、所定の初期化ルーチンが実行されている間は、入出力制御レジスタ303への、入出力I/O304の動作モードの設定値の書きを許可する点で相違する。

【0073】

また、動作モード制御回路320は、ライトパルス生成部301と、前記ライトパルス生成部301からの入出力制御レジスタ書き信号313を受け、そのままバッファとして出力するか、抑止するかを、初期化プログラムの実行状態により決定する書き抑止回路310と、前記入出力制御レジスタ書き信号313のバッファ信号を受け、データバス317からのデータをラッチする入出力制御レジスタ303とから構成されている。

【0074】

第4の実施形態に係わる書き抑止回路310は、初期化プログラムの読み取り状態であることを示す初期化ルーチン状態信号311を発生する初期化ルーチン実行回路（以下「表示回路」という）305と、初期化プログラムの現在実行中の表示回路（以下「判定回路」という）306と、前記所定内状態における実行状態の判定回路（以下「判定回路」という）307と、一方の入力端子からは入出力制御レジスタ書き信号を受け入れ、他方の入力端子からは前記S R F F 307からの出力信号を受け入れて書き抑止信号を出力するアンド回路308とから構成されている。

【0075】

そして、書き抑止回路310は初期化プログラムの現在実行中のシーケンスが所定のシーケンス以前のものであれば、ライトパルス生成部301から出力された入

出力制御レジスタ書込信号313をバッファして通過させ、初期化プログラムの現在実行中のシーケンスが所定のシーケンス以降のものであるときには、前記入出力書込信号の通過を阻止する効果がある。

【0076】

さらに、動作モード制御回路320は、初期化プログラムの所定のシーケンス以後は、ライトパルス生成部301からの入出力制御レジスタ信号を、書込抑止回路310が抑止するので、マイクロコンピュータが暴走しても、入出力制御レジスタ303に設定された動作モードに関する設定値を維持する効果がある。

【0077】

その結果、動作モード制御回路320の設定した動作モードにより、入出力I/O304は出力データレジスタ302に取り込んだデータを、出力するという効果がある。

【0078】

ここで、書込抑止回路310の動作を明確化するため、図8を用いて、以下に説明する。

【0079】

まず、リセット信号318により、SRFF307の出力端子Qの出力を“1”に設定する。ここで、リセット信号とは、動作モード制御回路320及び書込抑止回路310を含むシステム又はマイクロコンピュータの回路をリセットする信号をいう。

【0080】

次にマイクロコンピュータを初期化する初期化ルーチンを開始すると、表示回路305から論理値が“1”である初期化ルーチン状態信号311が出力される。一方、判定回路306からは、当初には論理値“1”であるが、初期化ルーチンが進み、初期化ルーチンのシーケンスが所定の領域外に出たときに、論理値“0”に変化する所定内状態信号312が出力される。その結果、初期化ルーチン開始後であって、初期化ルーチンの所定領域内であるときには、アンド回路316は“1”を出力するが、所定領域内をすぎると、アンド回路316は“0”を出力する。

【0081】

次にSRFF307はアンド回路316の出力が“0”から“1”に変化し、さらに

、 “1” から “0” へ変化すると、出力端子Qが “1” から “0” へ変化する。

【0082】

そこで、初期化ルーチン開始後であって、初期化ルーチンの所定領域内であるときに、ライトパルス生成部301から入出力制御レジスタ書込信号313が、出力されると、入出力制御レジスタ書込信号313はアンド回路308でバッファされ、入出力制御レジスタ303へ出力される。

【0083】

一方、初期化プログラムが実行されていないとき及び初期化ルーチンが所定領域外にあるときには、SRFF307の出力端子は “0” なので、入出力制御レジスタ書込信号313は、アンド回路308で抑止される。

【0084】

図7の動作モード制御回路320及び書込抑止回路310によれば、初期化プログラムであって、所定の初期化ルーチン以前の段階を実行中に、動作モード制御回路320における入出力制御レジスタ303に設定した動作モードは、初期化プログラム以外のソフトウェアによっては制御されない書込抑止回路310により、入出力制御レジスタ303への書き込みが抑止されているので、マイクロコンピュータが暴走しても、意図しないソフトウェアによって、変更されないという効果がある。

(第5の実施形態)

図9を用いて、第5の実施形態について説明する。

【0085】

第5の実施形態に係るマイコン400は、CPU401（中央処理装置）と、ROM (Read Only Memory) 405と、RAM (Random Access Memory) 404と、タイマ403と、書込抑止回路402と、アドレス入出力I/O用の入出力制御レジスタ&アドレスレジスタ406と、制御信号I/O用の入出力制御レジスタ&制御信号レジスタ415と、データ入出力I/O用の入出力制御レジスタ&データレジスタ409と、アドレス入出力I/O1(407)と、アドレス入出力I/O2(408)と、データ入出力I/O410と、制御信号I/O411と、セレクタ417と、周辺選択レジスタ416とから構成されており、前記書込抑止回路402は、第1の実施形態乃至第4の実施形態に係わる書込抑止回路であり、前記書込抑止回路402と、前記入出力レジス

タと、周辺選択レジスタは第3の実施形態にかかる動作モード制御回路を構成している。そして、C P U (中央処理装置) 401は、第乃至第4の実施形態におけるライトパルス生成部として機能する。

【0086】

ここで、マイコン400内のタイマ403等の周辺機能と、マイコン外部との入出力に必要な制御信号、データ、アドレスを蓄積するそれぞれのレジスタ等の入出力機能とは、データ又は信号をマイコン外部に出力するにあたり、同一の入出力 I / O を兼用することがある。例えば、図9では、アドレス入出力 I / O 1 (407) の一部をタイマ403の出力とが兼用であることを示している。

【0087】

この場合にC P U (中央処理装置)401は、どの機能からの出力を入出力 I / O に出力するかを示す設定値を、周辺選択レジスタ書込信号を送るとともに、データバスを通じてデータを送ることにより、周辺選択レジスタ416に設定し、どの入出力 I / O にどのような動作モードをもたせるかを、周辺選択レジスタ416の場合と同様にして、入出力制御レジスタに設定する。そして、周辺選択レジスタ416の設定値に基づいて出力された信号で、セレクタ417は、複数の機能のうちどの機能からの信号を出力するかを選択し、入出力制御レジスタの設定値に基づいて出力された信号で、入出力 I / O は出力動作モードを選択する。

【0088】

また、書込抑止回路402は、周辺選択レジスタ416及び各入出力制御レジスタの設定値を、第1の実施形態から第4の実施形態に示した機能により、CPU(中央処理装置)からの信号を受けて、所定の設定方法により設定する以外の方法によつては書き換えられないようにする役割を有する。

【0089】

従って、第5の実施形態に係わるマイコン400によれば、書込抑止回路402にてウオッチドッグへの監視信号のように、重要な入出力 I / O に係わる出力属性を決定する制御レジスタの設定値を、マイコンが暴走しても確保することができるため、マイコンが暴走したときの対処が確実に行える、一方、マイコンの通常動作時においても、マイコンのソフトウェア命令により出力される信号によっては

入出力 I/O に係わる出力属性が変化しないので、ソフトウエア命令の間違いがあっても、マイコンが暴走しているか否かの判定が確実に行える。従って、第 5 の実施形態に係わるマイコンをシステムに使用した場合に、安全性の高いシステムとすることができるという効果がある。

(第 6 の実施形態)

第10図を用いて、第 6 の実施形態について説明する。

【0090】

第 6 の実施形態に係る制御システム 500 は、タイマ 502 等の周辺機能回路と、監視信号に係る出力データレジスタ 503 と、前記タイマ 502 等の周辺機能回路からの出力又は前記出力データレジスタ 503 からの出力のどちらかを選択するセレクタ 507 と、前記セレクタ 507 からの出力を出力する I/O バッファ 508 と、監視信号を出力する監視信号出力ポート 511 と、前記セレクタ 507 を制御する周辺選択レジスタ 504 と、前記 I/O バッファ 508 の入出力モードを制御する入出力制御レジスタ 505 と、前記周辺選択レジスタ 504 又は入出力制御レジスタ 505 へのデータ書込を抑止する書込抑止回路 506 と、CPU 510 (中央処理装置) と、RAM 516 と、ROM 517 と、リセット回路 509 と、マイコン全体をリセットするリセット信号を受け入れるリセット信号受入ポート 512 とから構成されるマイコン 501 及び前記マイコン 501 からの監視信号 514 を受信し、信号が途絶えたときに、リセット信号 515 を発生するウォッチドッグ 513 を少なくとも有している。ここで、上記の書込抑止回路 506 は第 1 ~ 4 の実施形態の書込抑止回路であり、書込抑止回路 506 と、入出力制御レジスタ 505 と、周辺選択レジスタ 504 とは、第 3 の実施形態に示す動作モード制御回路を構成している。

【0091】

第 6 の実施形態に係わる制御システム 500 によれば、前記制御システム 500 を組み込んだ装置を、制御システム 500 がコントロールしている最中に、何らかの原因で、制御システム 500 が有するマイコン 501 が暴走したとき、監視信号出力ポート 511 から監視信号の出力が途切れる結果、ウォッチドッグ 513 が前記の信号の途切れを検出し、ウォッチドッグ 513 がマイコン 501 向けにリセット信号 515 を発生し、マイコン 501 がリセットされるので、自動的に暴走状態から復帰することが

できる。一方、前記制御システム500の通常動作時においても、前記制御システム内のマイコン501のソフトウェア命令により出力される信号によっては、マイコン501のI/Oバッファ508に係わる出力属性は変化せず、また、ウォッチドッグとの監視信号出力ポートがソフトウェア命令の間違いがあっても、監視信号を出力するための出力データレジスタ503からの出力がタイマ502の出力に切り換えることないので、マイコン501が暴走しているか否かの判定が確実に行える。従って、第6の実施形態に係わる制御システム500を使用した装置を、安全性の高い装置とすることができるという効果がある。

(付記1)

制御信号発生部と

初期化後において前記制御信号発生部からの最初の第1の出力信号からに限って、前記第1の出力信号のバッファ信号を発生する書込抑止回路と、前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の出力信号を保持する制御回路とを備え、前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記2)

付記1に記載した動作モード制御回路であって、前記第1の出力信号はパルス信号であることを特徴とする動作モード制御回路。

(付記3)

付記1に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号のバッファ信号又は固定論理信号を出力するバッファ手段と、

前記制御信号発生部からの前記第1の出力信号により保持し、保持状態を示す状態信号を出力する保持手段とを備え、

前記バッファ手段が、さらに、前記保持手段からの前記状態信号を受ける入力端子を有し、前記状態信号が前記保持状態であることを示した場合は、前記固定論値信号を出力し、前記保持状態を示していない場合は、前記バッファ信号を出力

することを特徴とする動作モード制御回路。

(付記 4)

付記 1 に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第 1 の出力信号を入力の一方に受けるアンド回路

と、

前記アンド回路の出力が保持端子に接続され、パルス信号が前記保持端子に入力

されると論理値 “1” の信号を出力するフリップフロップ回路と、

前記フリップフロップ回路からの信号に応答して、論理値を反転させた信号を前

記アンド回路の他方の入力へ、出力するバッファ回路とを備え、

前記アンド回路は前記制御信号発生部からの前記第 1 の出力信号と前記論理値を

反転させた信号と論理積をとることを特徴とする動作モード制御回路。

(付記 5)

少なくとも、付記 1 から付記 4 のいずれかに記載した動作モード制御回路と、

外部との信号の入出力を制御する前記入出力制御回路と、

前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデ

ータレジスタ書込信号により、保持するデータレジスタ回路とを備え、

前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回

路へ出力することを特徴とするマイクロコンピュータ。

(付記 6)

制御信号発生部と、

前記制御信号発生部からの第 1 のデコード信号及び第 2 のデコード信号を連続し

て受けたときに限って、前記制御信号発生部からの第 1 の出力信号をバッファし

たバッファ信号を発生する書込抑止回路と、

前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部から

の第 2 の信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第 2 の出力信号に基づいて外部との信号の入出

力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記 7)

付記6に記載した動作モード制御回路であって、
前記第1の出力信号はパルス信号であることを特徴とする動作モード制御回路。

(付記8)

制御信号発生部と、

前記制御信号発生部から所定の複数のデコード信号を連続して受けたときに限つて、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を発生する書込抑止回路と、

前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記9)

付記6に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1のデコード信号及び、前記第2のデコード信号に応じて、第1の選択状態信号及び、第2の選択状態信号を出力するデコーダ回路と、

前記第1の選択状態信号を一方の入力端子に受ける第1のアンド回路と、

前記第2の選択状態信号を一方の入力端子に受ける第2のアンド回路と、

第3のアンド回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1のアンド回路の出力信号を保持し、前記第2のアンド回路の他方の入力端子へ、第1のデータを出力する第1のフリップフロップ回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第2のアンド回路の出力信号を保持し、前記第3のアンド回路の一方の入力端子へ、第2のデータを出力する第2フリップフロップ回路と、

前記第2のデータを論理的に反転した第3の出力信号を、第1のアンド回路の他方の入力へ、出力するバッファ回路とを備え、

前記第1のアンド回路は前記第1の選択状態信号と前記第3の出力信号と論理積

し、

前記第2のアンド回路は前記第2の選択状態信号と前記第1のデータと論理積し

前記第3のアンド回路は前記第2のデータと前記第1の出力信号と論理積し、

前記制御回路は、前記第3のアンド回路からの出力信号に応答して、前記制御信

号発生部からの前記第2の出力信号を保持する第3のフリップフロップ回路を備

えたことを特徴とする動作モード制御回路。

(付記10)

少なくとも、付記6から付記9のいずれかに記載した動作モード制御回路と、

外部との信号の入出力を制御する前記入出力制御回路と、

前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデ

ータレジスタ書き信号により、保持するデータレジスタ回路とを備え、

前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回

路へ出力することを特徴とするマイクロコンピュータ。

(付記11)

少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部から
の第2の出力信号を保持し、保持した信号の論理値に応じた書き信号を発生する

書き抑止回路と

前記書き信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、

保持した信号の論理値に応じた制御信号を発生する制御回路とを備え、

前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書き信号は
、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第

1の出力信号のバッファ信号であって、

前記制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中
から、外部へ信号を伝える信号発生回路を選択する選択回路へ、供給されること

を特徴とする動作モード制御回路。

(付記12)

少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する書込抑止回路と

前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、保持した信号の論理値に応じた第1の制御信号を発生する第1の制御回路と、前記制御信号発生部からの第4の出力信号に応答して、前記制御信号発生部からの第5の出力信号を保持し、保持した信号の論理値に応じた第2の制御信号を発生する第2の制御回路と、

前記第1の制御信号と前記第2の制御信号の論理和をとり、その結果である動作モード設定信号を出力するオア回路を備え、

前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第1の出力信号のバッファ信号であって、

前記第1の制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中から、外部へ信号を伝える信号発生回路を選択する選択回路へ供給され、前記動作モード設定信号は、外部との入出力信号の制御をする回路へ、該回路の動作モードを設定するために供給されることを特徴とする動作モード制御回路。

(付記13)

付記11に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号のバッファ信号又は固定した信号を出力するバッファ手段と、前記バッファ信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持し、前記第2の出力信号の論理値に応じた論理信号を出力する保持手段とを備え、

前記バッファ手段は前記保持手段からの論理信号を受け取り、一方の論理値に応じて前記固定した信号を出力し、他方の論理値に応じて前記バッファ信号を出力することを特徴とする動作モード制御回路。

(付記14)

付記 11 に記載した動作モード制御回路であって、
前記書き込み抑制回路が、
前記制御信号発生部からの前記第 1 の出力信号を一方の入力端子で受けるアンド
回路と、
前記制御信号発生部からの前記第 2 の出力信号を論理的に反転したバッファ信号
を出力するバッファ回路と、
前記バッファ信号をデータ端子で受け、前記アンド回路の出力に応答して、前記
バッファ信号を保持し、前記バッファ信号の論理値に応じた論理信号を発生する
保持回路とを備え、
前記アンド回路は前記論理信号と前記第 1 の出力信号と論理積することを特徴と
する動作モード制御回路。

(付記 15)

少なくとも、付記 11 から付記 14 のいずれかに記載した動作モード制御回路と
外部との信号の入出力を制御する入出力制御回路と、
前記動作モード制御回路からのデータレジスタ書き込み信号に応答して、前記動作モ
ード制御回路からのデータ信号を保持するデータレジスタ回路と、
1つ以上の一定周期のクロックを発生可能なタイマ回路と、
前記動作モード制御回路からの前記第 1 の制御信号に応じて、前記データレジス
タ回路又は前記タイマ回路を選択する選択回路とを備え、
前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回
路へ出力することを特徴とするマイクロコンピュータ。

(付記 16)

制御信号発生部と、
初期化プログラム実行後において、所定の初期化ルーチン以前の段階を実行中で
あるときは、前記制御信号発生部からの第 1 の出力信号をバッファしたバッファ
信号を出力し、それ以外の時は、固定した信号を出力する書き込み抑制回路と、
前記書き込み抑制回路からの出力信号に応答して、前記制御信号発生部からの第 2 の
出力信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に応じて、外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記 17)

付記 16 に記載した動作モード制御回路であって、
前記制御信号発生部からの前記第1の出力信号はパルス信号であることを特徴とする動作モード制御回路。

(付記 18)

付記 16 に記載した動作モード制御回路であって、
前記書込抑止回路が、
初期化プログラムを実行中であることを示す第1の状態信号を発生する第1の状態信号発生回路と、
所定の初期化ルーチン以前の段階を実行中であることを示す第2の状態信号を発生する第2の状態信号発生回路と、

前記第1の状態信号と前記第2の状態信号と論理積する第1のアンド回路と、
リセット状態では論理値“1”を出力し、前記第1のアンド回路からの出力を受け、前記第1のアンド回路からの出力が所定の信号であったときは、論理値“0”を出力するセット／リセットフリップフリップ回路と、

前記制御信号発生部からの前記第1の信号と前記セット／リセットフリップフリップ回路の出力信号と論理積する第2のアンド回路とを備えることを特徴とする動作モード制御回路。

(付記 19)

少なくとも、付記 16 から付記 18 のいずれかに記載した動作モード制御回路と

、
外部との信号の入出力を制御する前記入出力制御回路と、
前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書込信号により、保持するデータレジスタ回路とを備え、
前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

(付記 20)

少なくとも、ウォッチドッグと付記5、付記10、付記15又は付記19に記載したマイクロコンピュータとを備え、

前記マイクロコンピュータはさらに、監視信号を前記ウォッチドッグへ出力する監視信号出力ポートと

前記ウォッチドッグからの第1のリセット信号を受け入れるリセット信号受入ポートと

前記第1のリセット信号に応じて、前記マイクロコンピュータの所定の回路への、第2のリセット信号を発生するリセット回路を有し、

前記入出力制御回路からの出力が前記ウォッчドッグへの前記監視信号であって

前記ウォッчドッグは前記第1のリセット信号を前記マイクロコンピュータに出力することを特徴とする制御システム。

【0092】

【発明の効果】

本発明に係わる動作モード制御回路によっては、入出力属性を決定する入出力レジスタ及び周辺機能の選択をする周辺選択レジスタに対して、所定の設定方法により設定する以外の方法によっては書換られないようにする書込抑止回路を設けられているので、意図しない動作モードの変更を防止するという効果がある。

【0093】

また、本発明に係わるマイクロコンピュータによっては、書込抑止回路が、入出力レジスタ及び周辺機能の選択をする周辺選択レジスタの設定値の変更を防止しているため、マイコンの通常動作時において、マイクロコンピュータのソフトウエア命令により出力される信号によっては入出力I/Oに係わる出力属性が変化しないので、ソウトウエア命令の間違いがあっても、マイクロコンピュータが暴走しているか否かの判定が確実に行える効果がある。

【0094】

さらに、本発明に係わる制御システムによっては、ウォッчドッグへの監視信号を出力するポート及びリセット信号を受け入れるポートの動作モードを決定す

る入出力制御レジスタに対し、マイコン内部に書き込み抑制回路を設け、入出力制御レジスタへの書き込みを一回行った後は、書き込みを禁止することにより、マイコンを外部から監視する機能は確保されるため、予期しないときにマイコンのリセットがかかるようなことがないという効果がある。

【図面の簡単な説明】

- 【図 1】 第 1 の実施形態の概略図
- 【図 2】 第 1 の実施形態の書き込み抑制回路の動作波形図
- 【図 3】 第 2 の実施形態の概略図
- 【図 4】 第 2 の実施形態の書き込み抑制回路の動作波形図
- 【図 5】 第 3 の実施形態の概略図
- 【図 6】 第 3 の実施形態の書き込み抑制回路の動作波形図
- 【図 7】 第 4 の実施形態の概略図
- 【図 8】 第 4 の実施形態の書き込み抑制回路の動作波形図
- 【図 9】 第 5 の実施形態（マイコン全体回路の概要）の概略図
- 【図 10】 第 6 の実施形態（制御システム）の概略図
- 【図 11】 従来例 1（車両マイコンシステム）の概略図
- 【図 12】 従来例 2（データ処理装置）の概略図
- 【図 13】 従来例 3（マイクロコンピュータ）の概略図

【符号の説明】

- 1 ライトパルス生成部
- 2 出力データレジスタ
- 3 入出力 I/O
- 4 入出力制御レジスタ
- 5 アンド回路
- 6 F F
- 7 バッファ
- 8 端子
- 9 VCC 電源
- 10 書き込み抑制回路

- 1 1 出力データレジスタ書込信号
- 1 2 入出力制御レジスタ書込信号
- 1 3 書込抑止信号
- 1 4 データバス
- 1 5 リセット信号
- 2 0 動作モード制御回路
- 1 0 1 ライトパルス生成部
- 1 0 2 出力データレジスタ
- 1 0 3 入出力 I/O
- 1 0 4 入出力制御レジスタ
- 1 0 5 デコーダ
- 1 0 6 アンド回路
- 1 0 7 FF
- 1 0 8 アンド回路
- 1 0 9 FF
- 1 1 0 バッファ
- 1 1 1 アンド回路
- 1 1 2 リセット信号
- 1 1 3 端子
- 1 2 0 書込抑止回路
- 1 2 1 出力データレジスタ書込信号
- 1 2 2 入出力データレジスタ書込信号
- 1 2 4 データバス
- 1 3 0 動作モード制御回路
- 2 0 1 ライトパルス生成部
- 2 0 2 タイマ
- 2 0 3 セレクタ
- 2 0 4 出力データレジスタ
- 2 0 5 入出力 I/O

- 206 オア
- 207 周辺選択レジスタ
- 208 入出力制御レジスタ
- 209 F F
- 210 バッファ
- 211 アンド回路
- 212 端子
- 213 リセット信号
- 220 書込抑止回路
- 221 データバス
- 222 入出力制御レジスタ書込信号
- 223 周辺選択レジスタ書込信号
- 225 出力データレジスタ書込信号
- 230 動作モード制御回路
- 301 ライトパルス生成部
- 302 出力データレジスタ
- 303 入出力制御レジスタ
- 304 入出力 I/O
- 305 初期化ルーチン実行表示回路
- 306 初期化ルーチンにおける実行状態の判定回路
- 307 S R F F
- 308 アンド回路
- 309 端子
- 310 書込抑止回路
- 311 初期化ルーチン状態信号
- 312 初期化ルーチンの所定領域内状態信号
- 313 入出力制御レジスタ書込信号
- 314 出力データレジスタ書込信号
- 316 アンド回路

- 317 データバス
- 318 リセット信号
- 320 動作モード制御回路
- 400 マイコン
- 401 C P U (中央処理装置)
- 402 書込抑止回路
- 403 タイマ
- 404 R A M
- 405 R O M
- 406 入出力制御レジスタ & アドレスレジスタ
- 407 アドレス入出力 I / O 1
- 408 アドレス入出力 I / O 2
- 409 入出力制御レジスタ & データレジスタ
- 410 データ入出力 I / O
- 411 制御信号 I / O
- 413 コントロール信号
- 414 データバス
- 415 入出力制御レジスタ & 制御信号レジスタ
- 416 周辺選択レジスタ
- 500 制御システム
- 501 マイコン
- 502 タイマ
- 503 出力データレジスタ
- 504 周辺選択レジスタ
- 505 入出力制御レジスタ
- 506 書込抑止回路
- 507 セレクタ
- 508 I / O バッファ
- 509 リセット回路

510 CPU (中央処理装置)

511 監視信号出力ポート

512 リセット信号受入ポート

513 ウオッヂドッグ

514 監視信号

515 リセット信号

516 RAM

517 ROM

518 データバス

601 入力 I/F 回路

602 マイコン

603 電源回路

604 遅延回路

605 ウオッヂドッグタイマ

606 ROM

607 VCCIIION/OFF 回路

608 低電圧リセット回路

609 通信LSI

610 スリープ/ウェイクアップ信号

611 P.RUN 信号

612 RESET 信号

613 VCCI

614 VCCII

615 多入力アンド回路

701 CPU (中央処理装置)

702 SYSC

703 CPG

705 ROM

706 RAM

707 SCI

708 タイマ

709 IOP8

710 IOP7

711 IOP6

712 IOP5

713 IOP4

714 IOP3

715 IOP2

716 IOP1

717 内部バス

718 書込要求信号

801 CPU

802 メモリ

803 アドレスデコーダ

804 プロテクト制御レジスタ

805 論理素子

806 論理素子

807 論理素子

808 論理素子

809 論理素子

810 論理素子

811 アドレスデコーダ

812 アドレスデコーダ

813 アドレスデコーダ

814 アドレスデコーダ

815 制御レジスタ

816 制御レジスタ

817 制御レジスタ

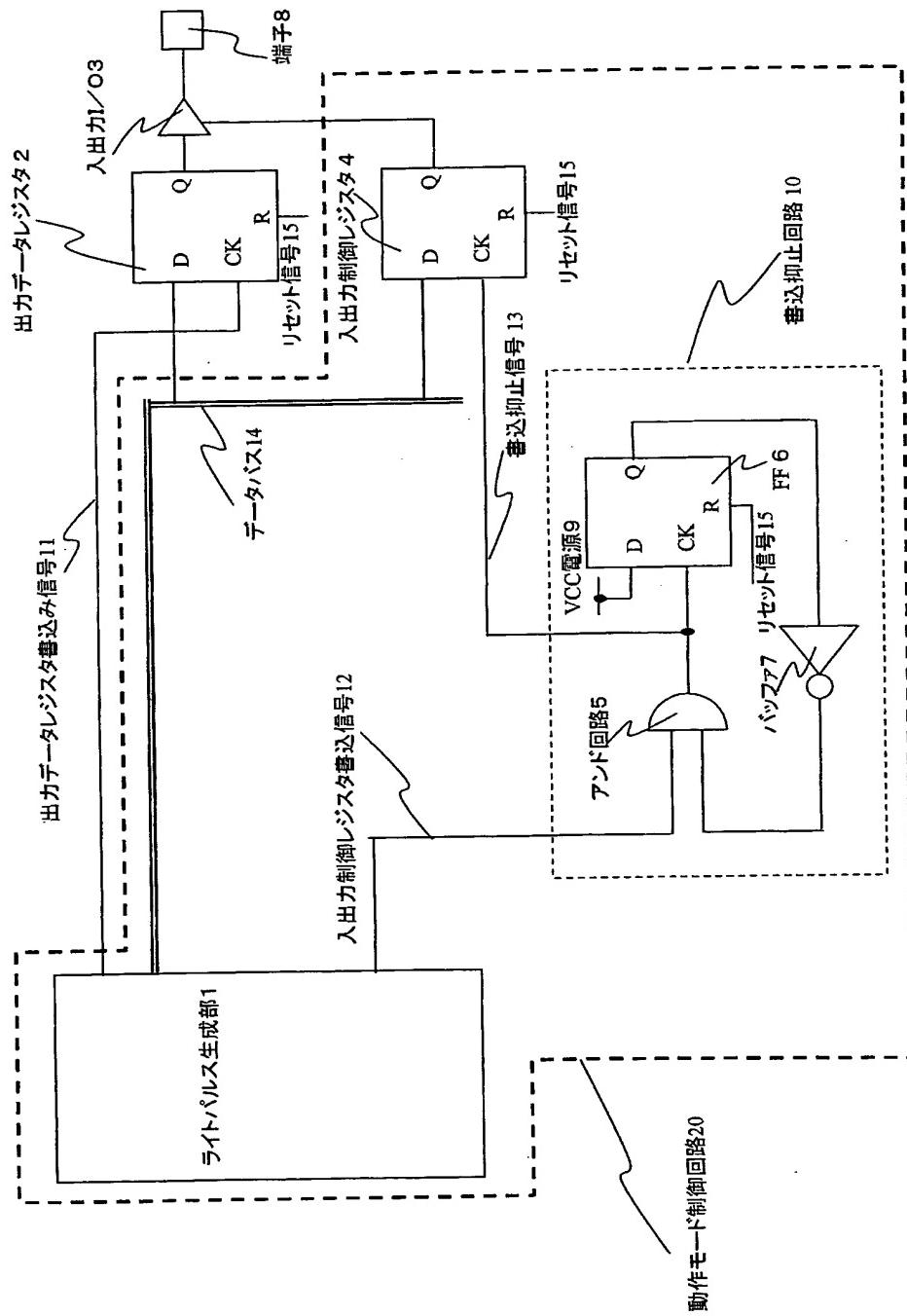
- 818 制御レジスタ
- 819 クロック発生回路
- 820 周辺ユニットA
- 821 周辺ユニットB
- 822 周辺ユニットC
- 823 内部バス
- 824 ALE
- 825 SPCWR
- 826 WR
- 827 論理素子
- 830 プロテクト制御回路

【書類名】

図面

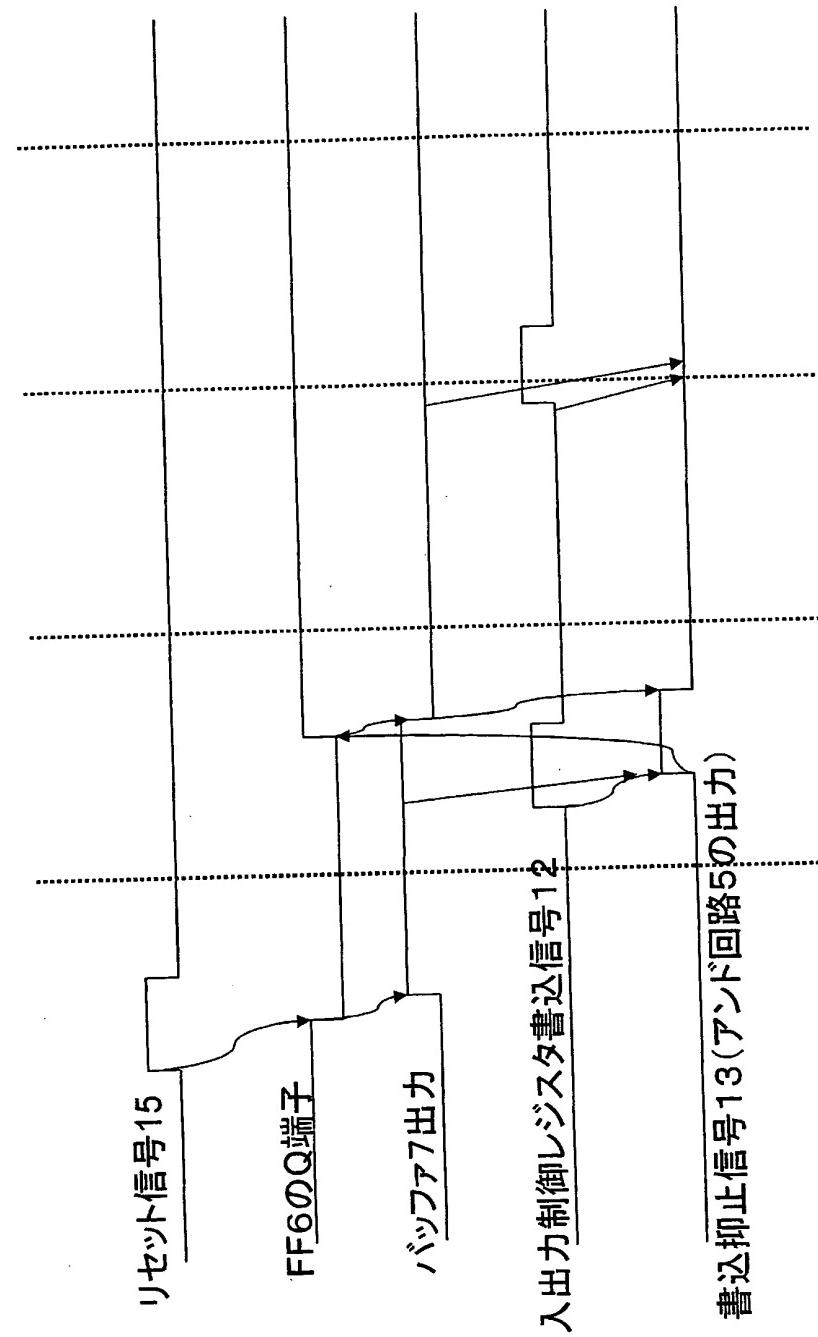
【図 1】

第1の実施形態の概略図



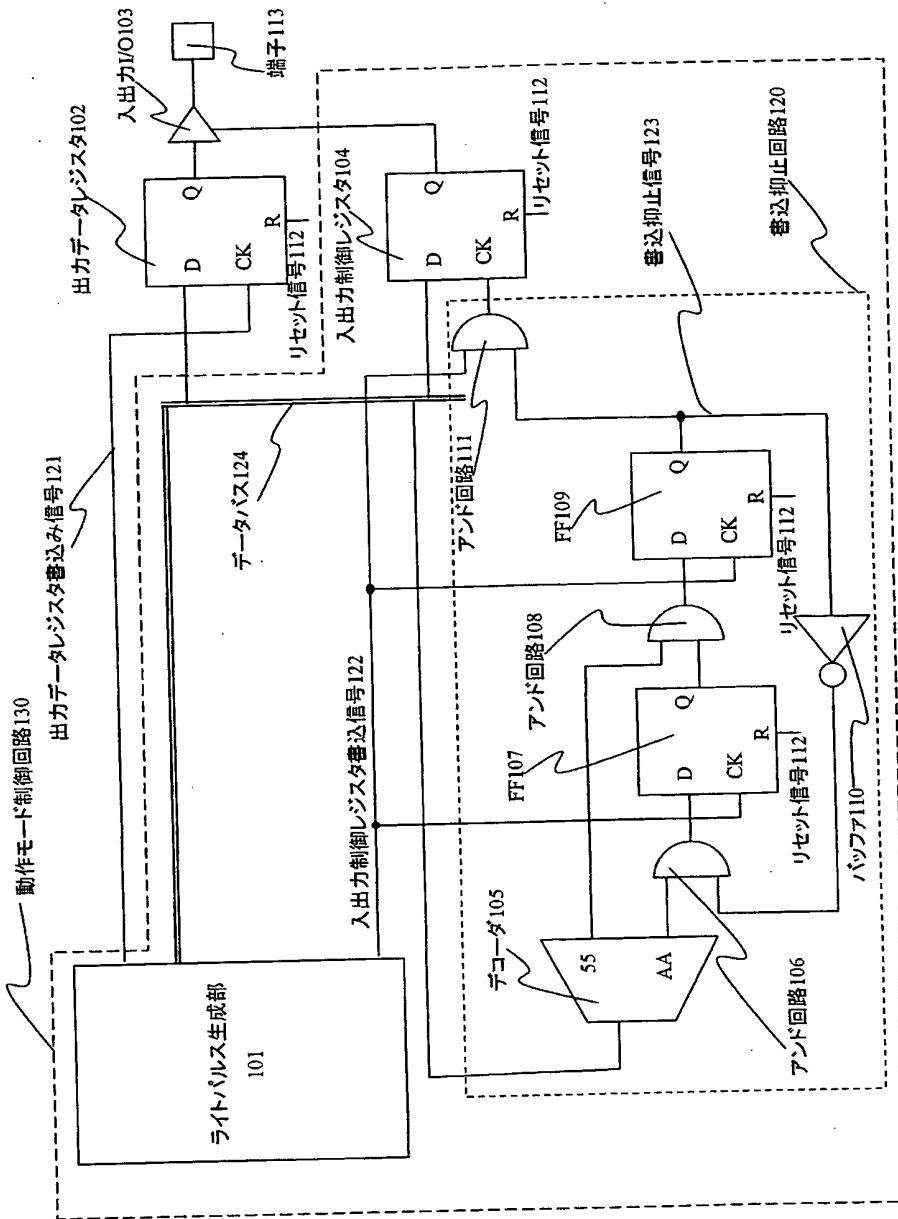
【図2】

第1の実施形態の書込抑止回路の動作波形図



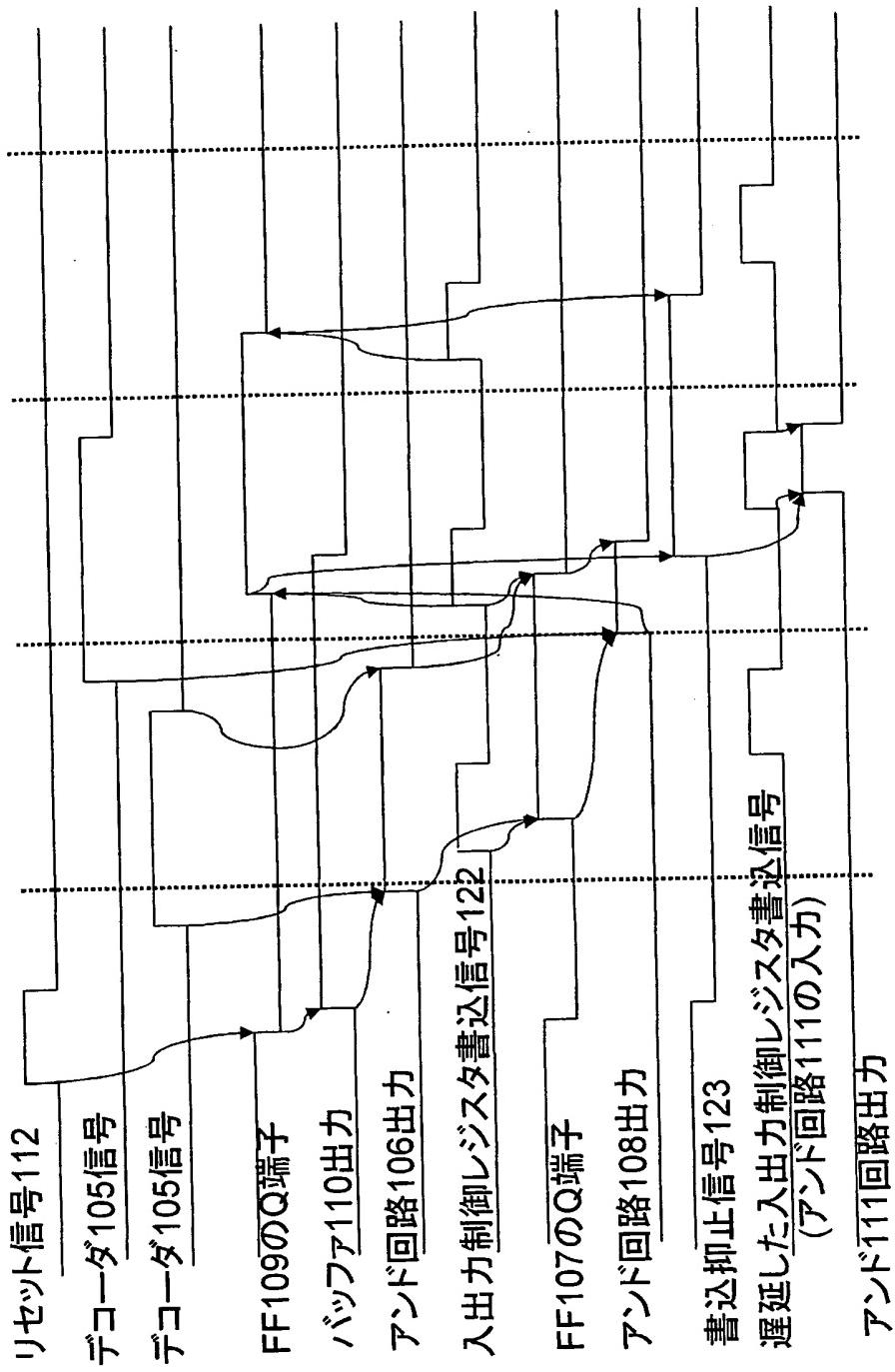
【圖 3】

第2の実施形態の概略図



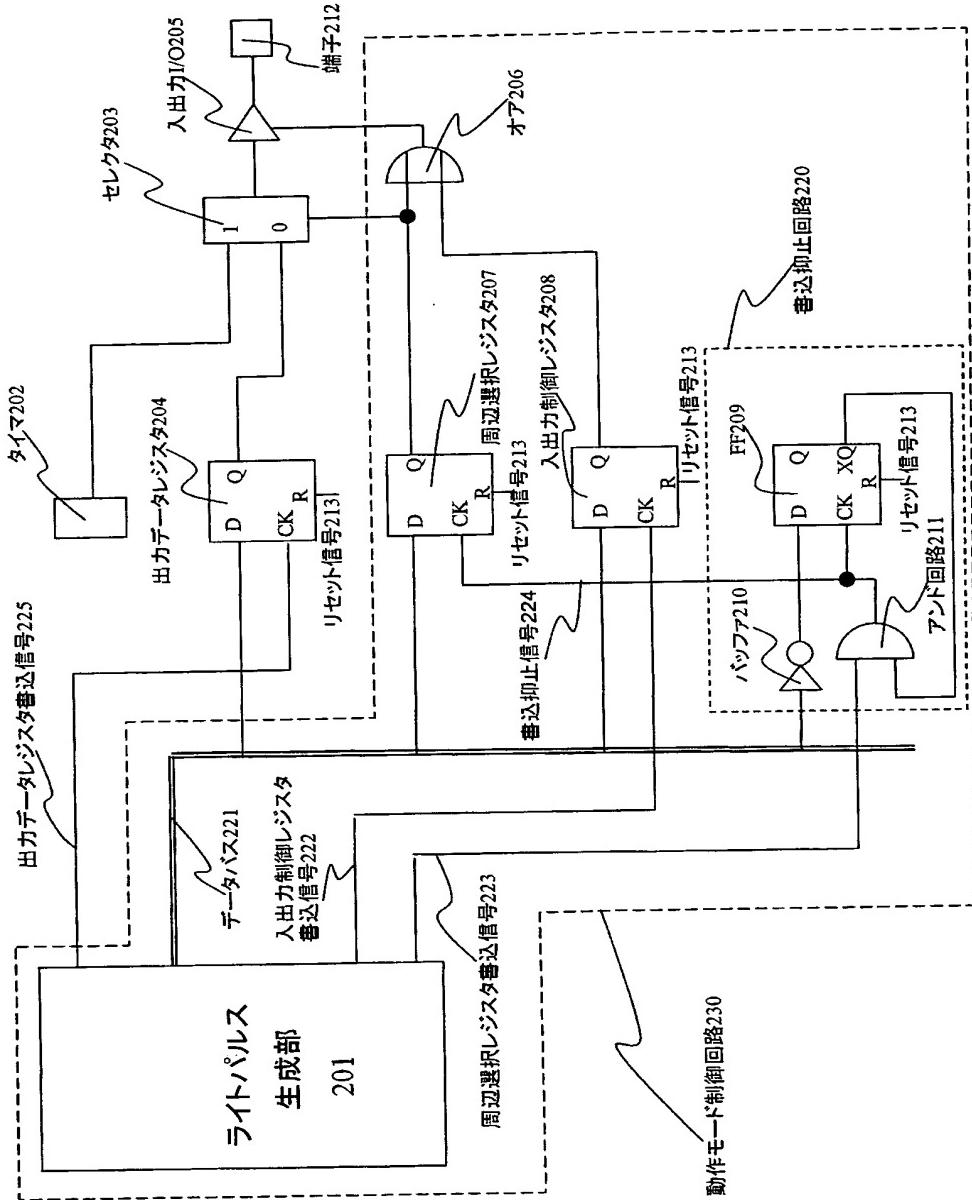
【図4】

第2の実施形態の書き込み抑止回路の動作波形図



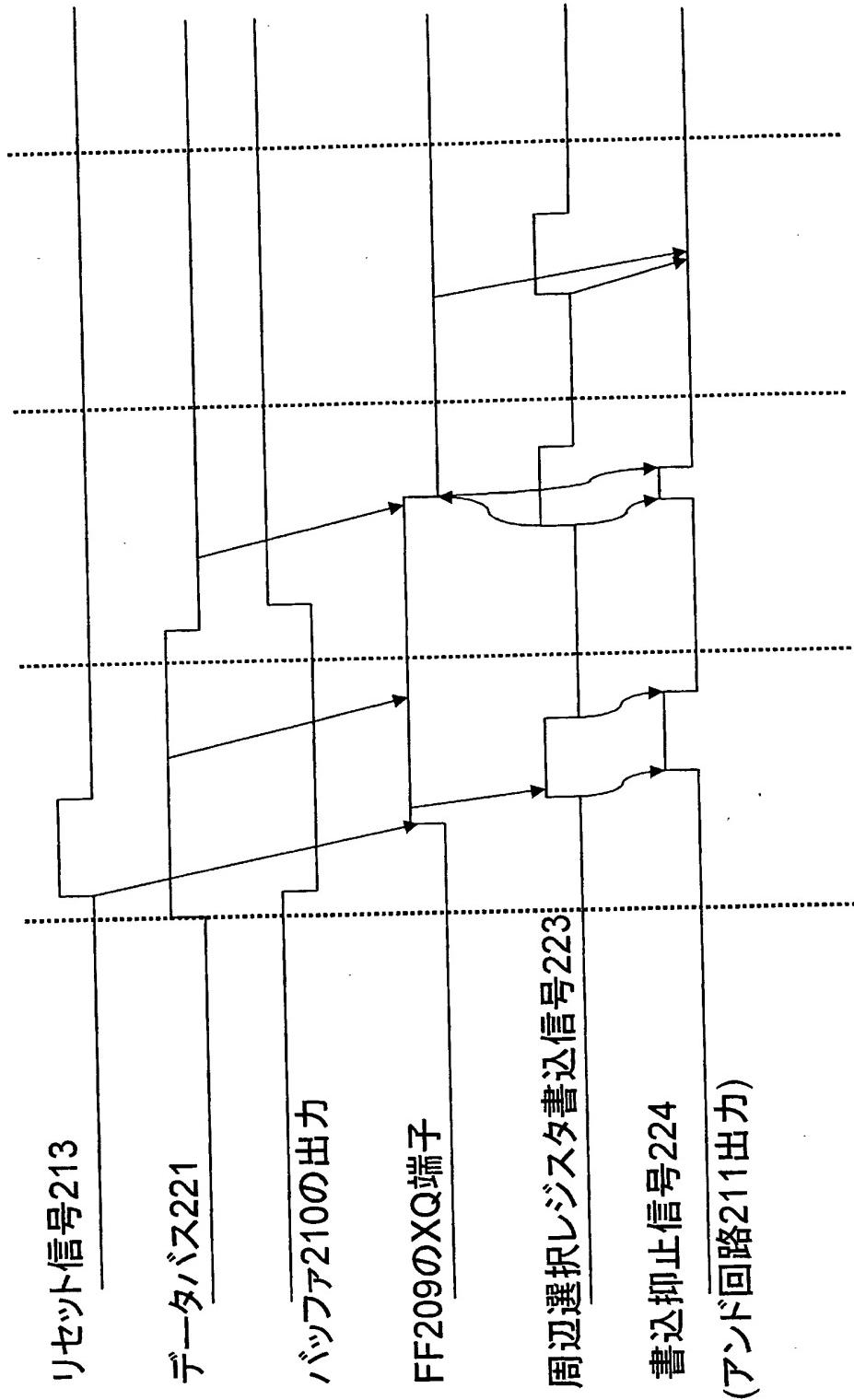
【図 5】

第3の実施形態の概略図



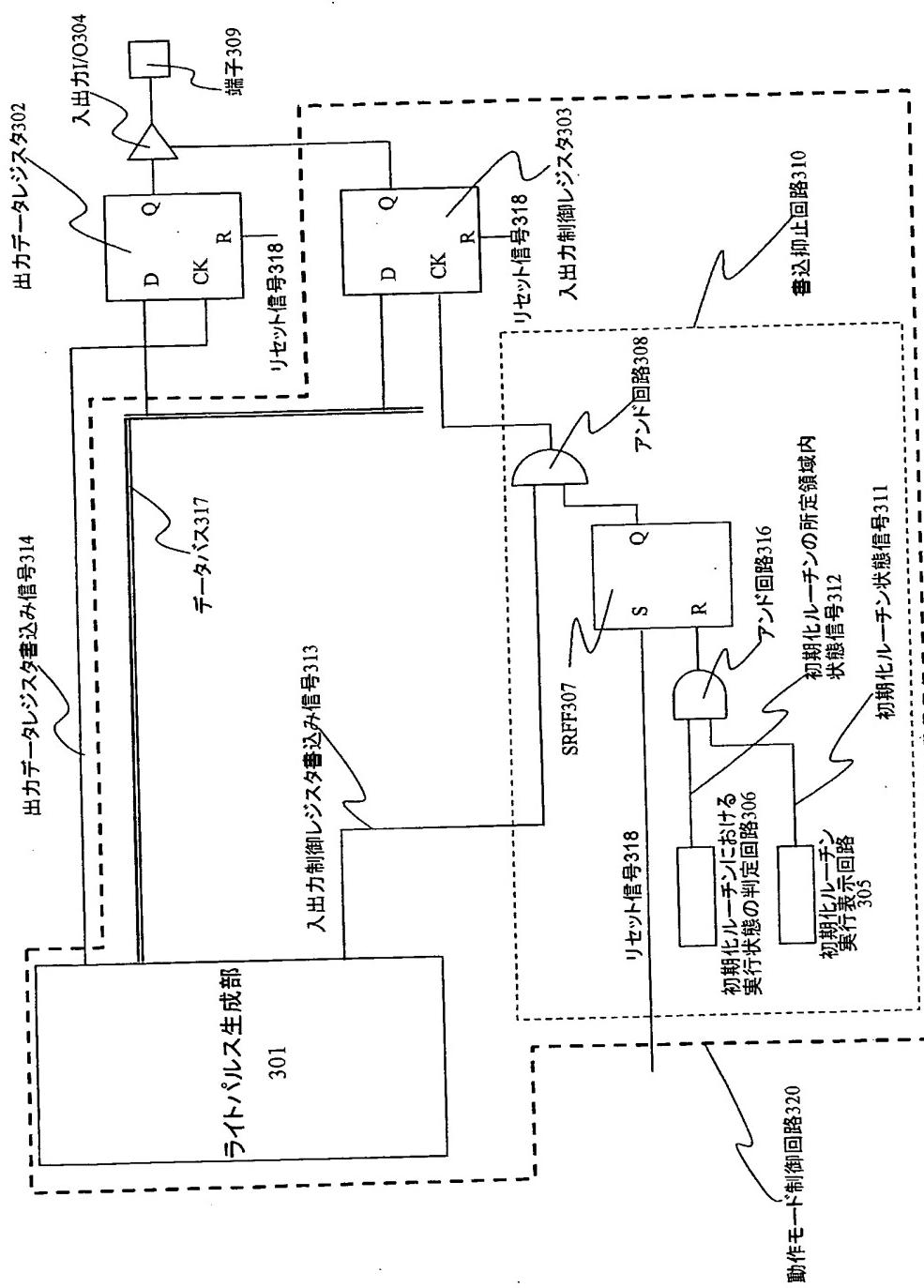
【図6】

第3の実施形態の書込抑止回路の動作波形図



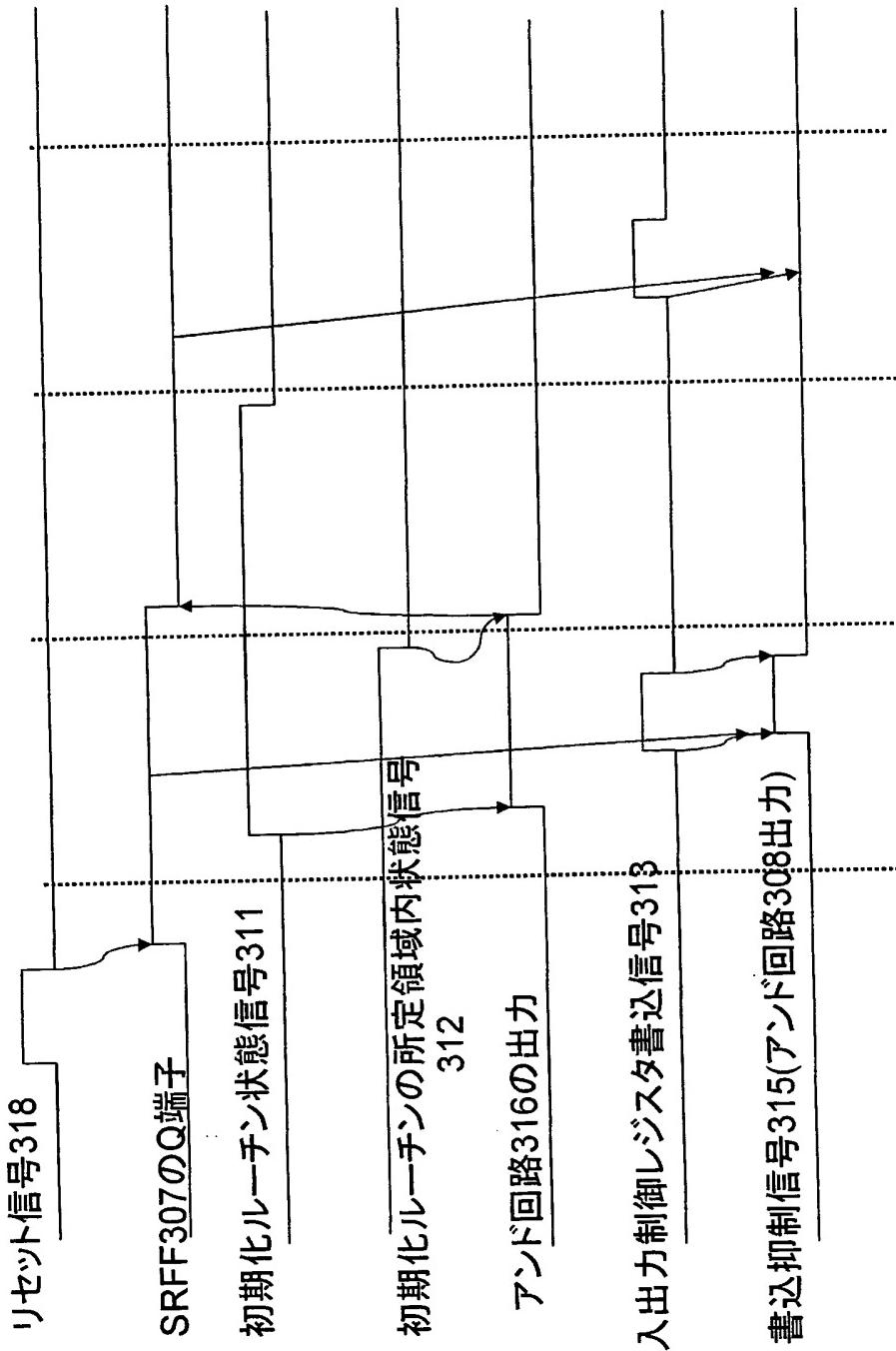
【四七】

第4の実施形態の概略図



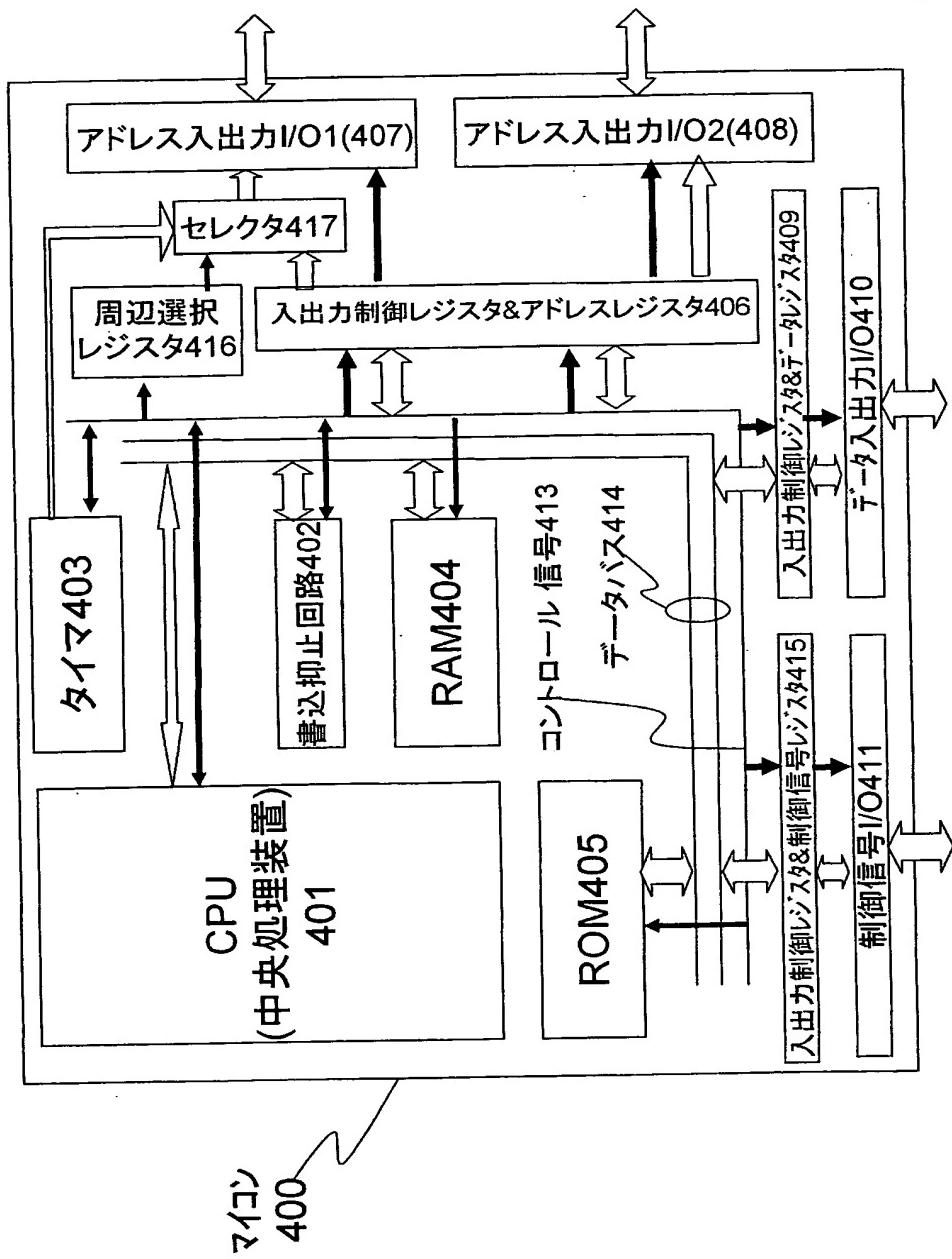
【図 8】

第4の実施形態の書込抑止回路の動作波形図



【図9】

第5の実施形態(マイコン全体回路の概要)の概略図

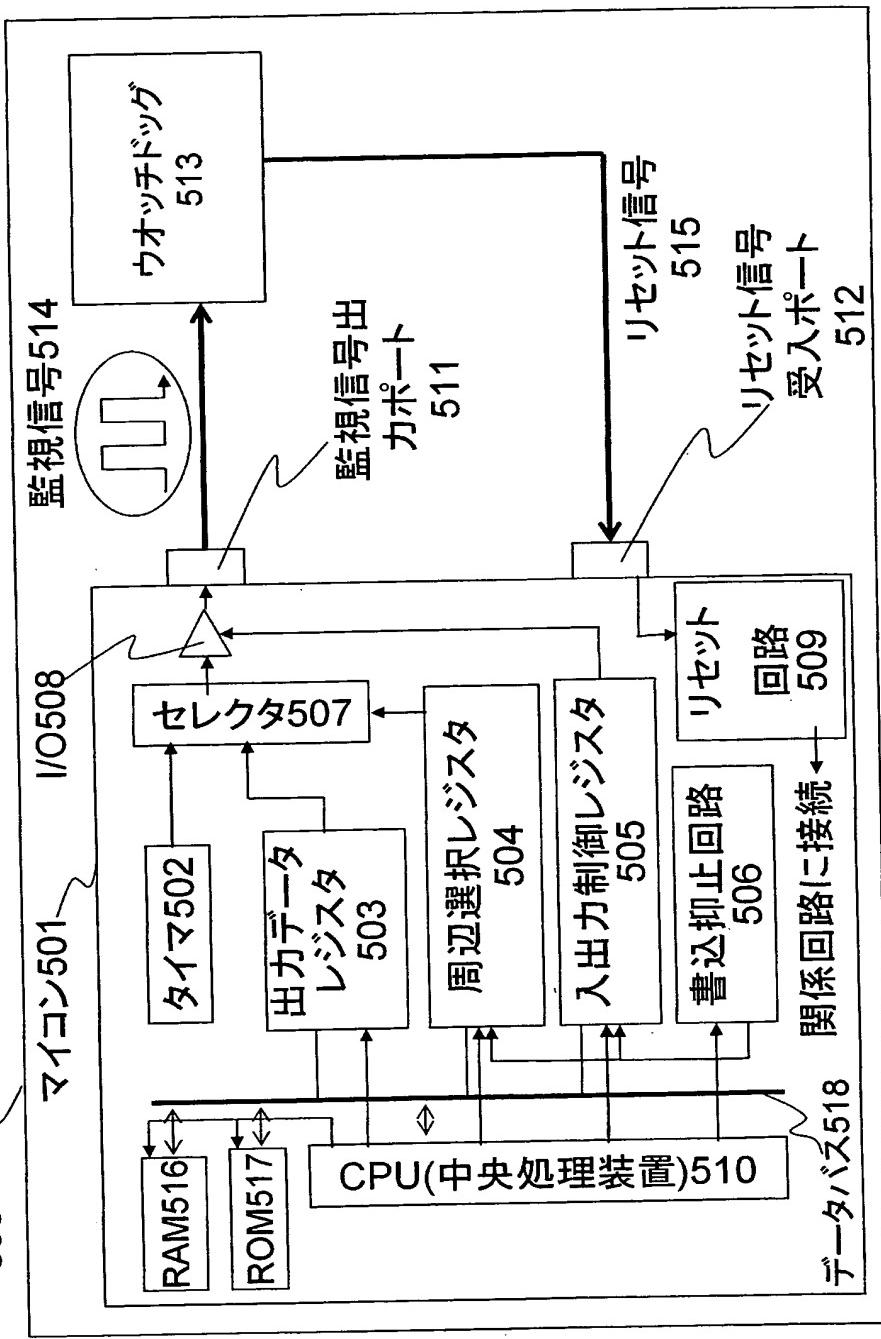


【図10】

第6の実施形態(制御システム)の概略図

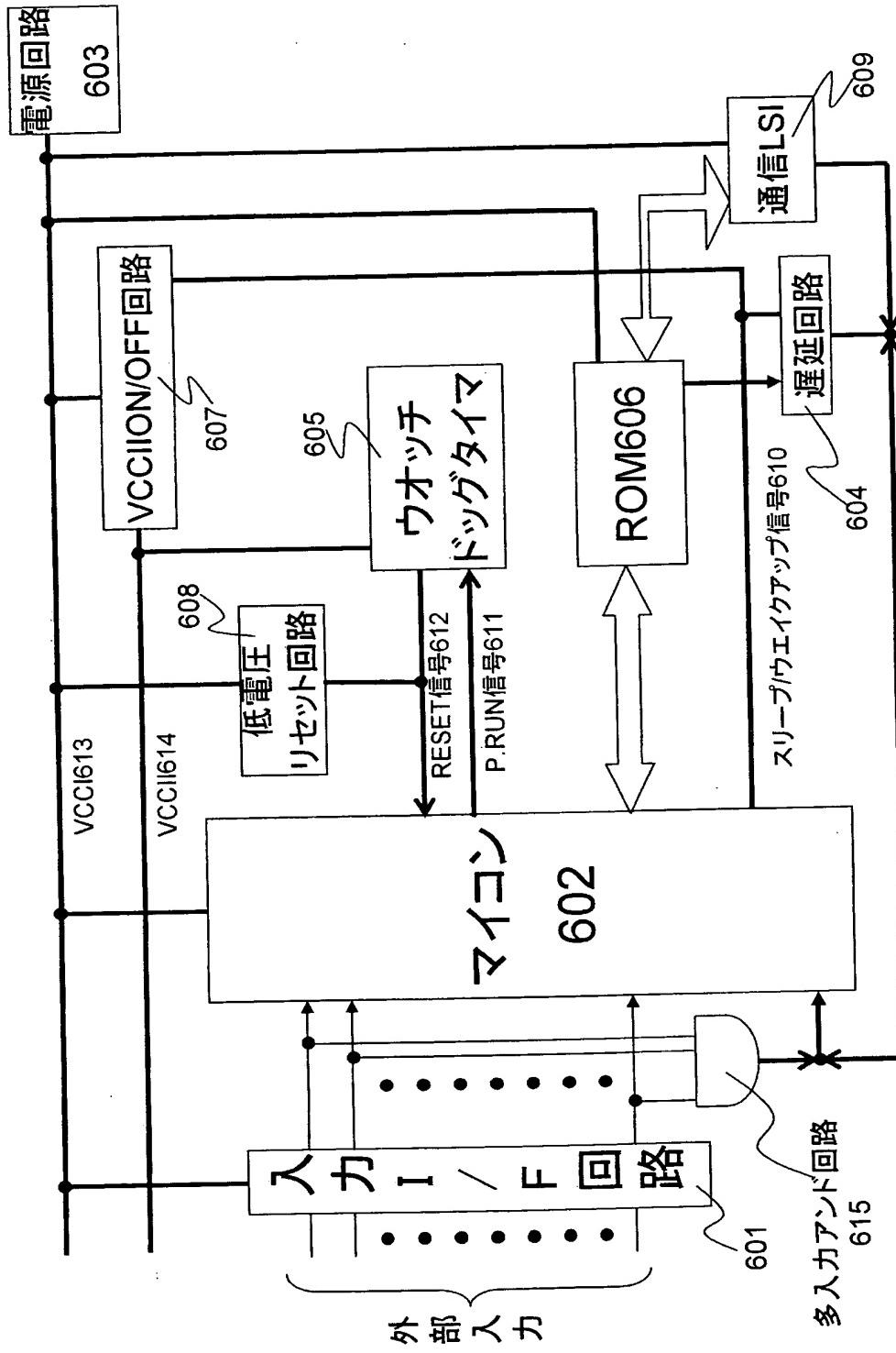
制御システム

500



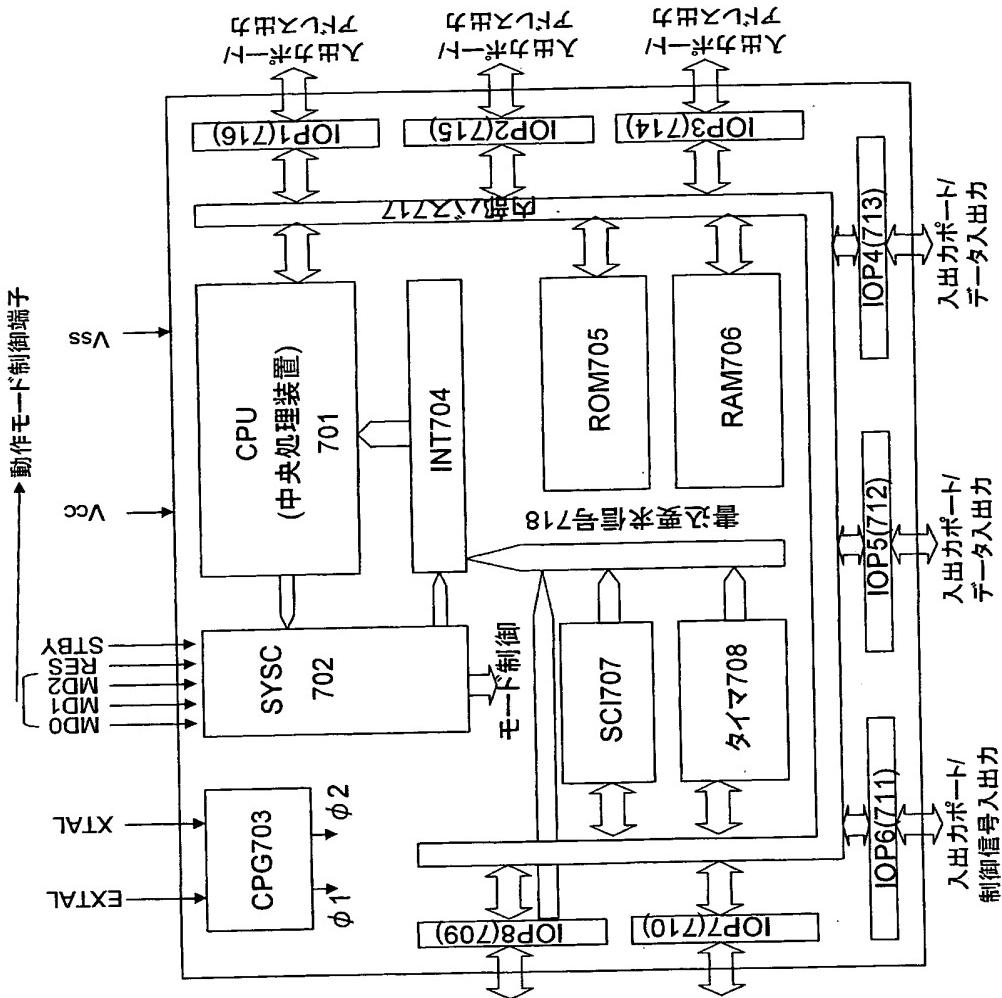
【図 1 1】

従来例1(車両マイコンシステム)の概略図



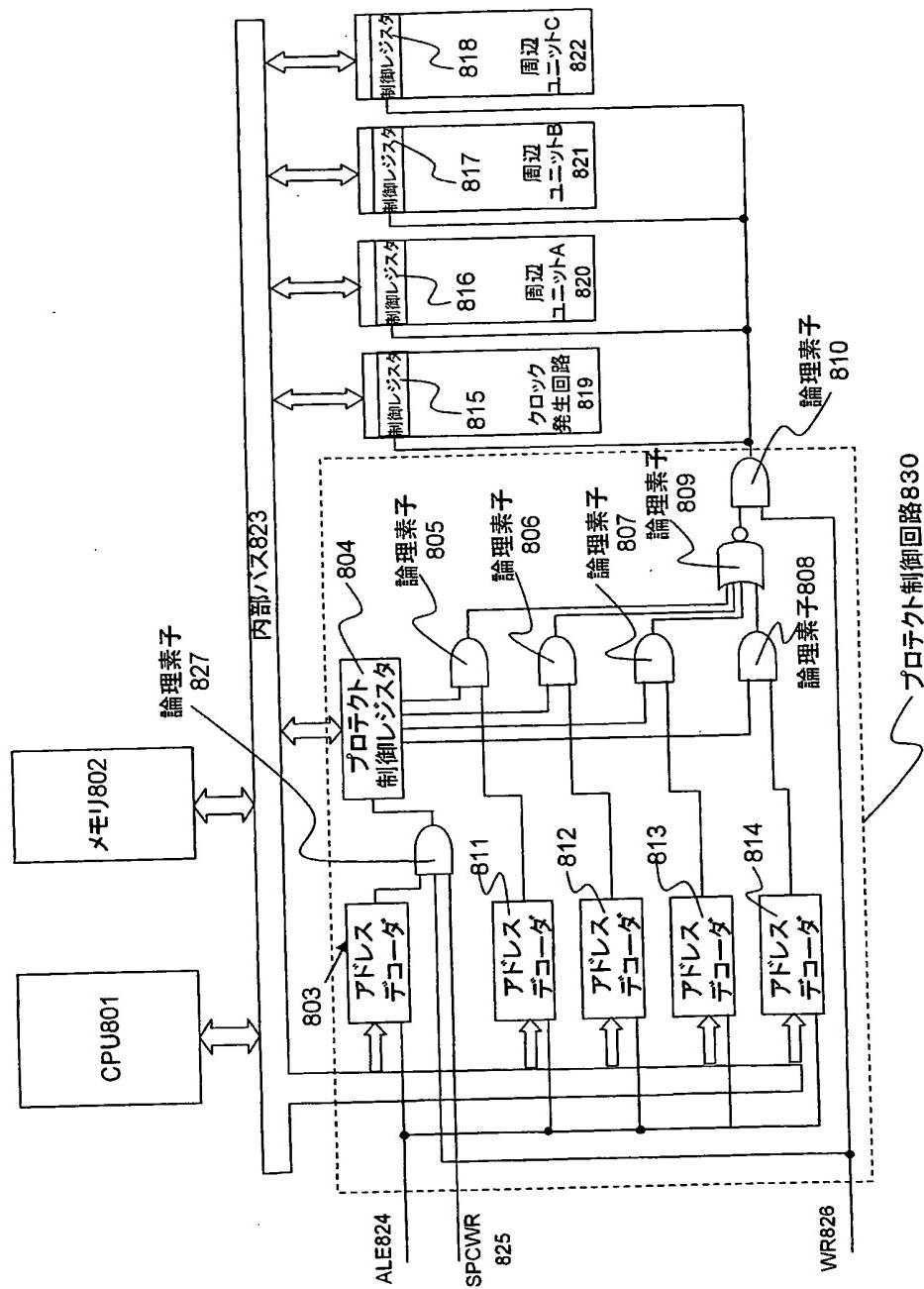
【図12】

従来例2(データ処理装置)の概略図



【図13】

従来例3(マイクロコンピュータ)の概略図



【書類名】 要約書

【要約】

【課題】 本発明は、入出力属性を決定する制御レジスタ及び周辺機能を選択するレジスタを内蔵し、前記レジスタを動作モード制御回路により誤書き込みを防止するために制御したことを特徴とするマイクロコンピュータ及び前記マイクロコンピュータとウォッチドッグから構成される制御システムに関する。

【解決手段】 中央処理装置と、複数の周辺機能と、入出力 I/O と、出力データが設定される入出力レジスタと、入出力属性を決定する入出力制御レジスタを有し、周辺機能の選択をする周辺選択レジスタを有し、所定の設定方法により設定し、周辺機能の選択をする周辺選択レジスタ又は入出力制御レジスタが書き換えられる以外の方法によっては周辺選択レジスタ又は入出力制御レジスタが書き換えられないようにする書き抑止回路を有する動作モード制御回路と、前記周辺機能からの出力及び入出力制御レジスタからの出力のうち一つを選択するセレクタとから構成されているマイクロコンピュータ及びそれを利用した制御システム。

【選択図】 図 1

特願 2003-204301

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社